

none

none

none

© EPODOC / EPO

PN - JP11296473 A 19991029  
PD - 1999-10-29  
PR - JP19980103232 19980415  
OPD - 1998-04-15  
TI - DATA WIDTH VARIABLE TYPE CROSSBAR SWITCHING DEVICE,  
CONNECTION METHOD THEREFOR, AND MEDIUM FOR STORING  
CONTROL PROGRAM FOR THE DEVICE  
IN - YOKOYAMA ATSUSHI  
PA - NIPPON ELECTRIC CO  
IC - G06F13/36 ; G06F13/36 ; G06F15/16 ; H04L12/46 ; H04L12/28

© WPI / DERWENT

TI - Data width variable type crossbar-switch apparatus - enables  
communication via specific port using another board of larger data  
width, when data widths of communicating boards are different  
PR - JP19980103232 19980415  
PN - JP3189783B2 B2 20010716 DW200142 G06F13/36 033pp  
- JP11296473 A 19991029 DW200003 G06F13/36 034pp  
PA - (NIDE ) NEC CORP  
IC - G06F13/36 ;G06F15/16 ;G06F15/173 ;G06F15/177 ;H04L12/28  
;H04L12/46  
AB - JP11296473 NOVELTY - Several boards are connected to a set of  
ports with same data width. A cross bar switch \$) connects input  
ports (6-1-6-4), data ports (7-1-7-4) and address control ports (8-1-  
8- 4) between processor boards (2-1,2-2) and memory boards  
(3-1,3- 2). When the data widths of the communicating boards are  
different, the communication is performed via specific port using  
another board with larger data width. DETAILED DESCRIPTION -  
INDEPENDENT CLAIMS are also included for the following: cross  
bar switch unit connecting method; control program recorded in  
recording medium  
- USE - Data width variable type crossbar-switch apparatus.  
- ADVANTAGE - Enables communication with narrow width as well as  
broad width ports. DESCRIPTION OF DRAWING(S) - The figure  
shows the block diagram of the data width variable type  
crossbar-switch apparatus. (2-1,2-2) Processor boards; (3-1,3-2)  
Memory boards; (5) Crossbar switch; (6-1-6-4) Input ports; (7-1-7-4  
) Data ports; (8-1-8-4) Address control ports.  
- (Dwg.1/40)

OPD - 1998-04-15

Best Available Copy

**This Page Blank (uspto)**

none	none	none
------	------	------

AN - 2000-028977 [03]

© PAJ / JPO

PN - JP11296473 A 19991029

PD - 1999-10-29

AP - JP19980103232 19980415

IN - YOKOYAMA ATSUSHI

PA - NEC CORP

TI - DATA WIDTH VARIABLE TYPE CROSSBAR SWITCHING DEVICE,  
CONNECTION METHOD THEREFOR, AND MEDIUM FOR STORING  
CONTROL PROGRAM FOR THE DEVICE

AB - PROBLEM TO BE SOLVED: To provide a data width variable type crossbar switching device which can communicate regardless of the data width of another port even during communication between a port of a narrower data width and a port of a broader data width connected to the crossbar switch.

- SOLUTION: Communication with another port is executed using empty ports of the board of a wider data width when communicating through crossbar switch side input/output parts 6-1 to 6-4, data parts 7-1 to 7-4 and address control parts 8-1 to 8-4 arranged between processor boards 2-1 and 2-2, memory boards 3-1 and 3-2, and a cross bus switch 5 wherein data widths are different among communicating boards. Data are sorted for each communicated party by the data parts 7-1 to 7-4, the sorted data are retained in each of buffer group of two systems. The address control parts 8-1 to 8-4 instruct path of input/output data to the data parts 7-1 to 7-4.

I - G06F13/36 ;G06F13/36 ;G06F15/16 ;H04L12/46 ;H04L12/28

none	none	none
------	------	------

This Page Blank (uspto)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-296473

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 13/36

識別記号

3 2 0

F I

5 2 0

G 0 6 F 13/36

3 2 0 B

15/16

5 2 0 D

H 0 4 L 12/46

12/28

15/16

H 0 4 L 11/00

4 0 0 B

3 1 0 C

審査請求 有 請求項の数23 O L (全 34 頁)

(21)出願番号

特願平10-103232

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成10年(1998)4月15日

(72)発明者 横山 淳

東京都港区芝五丁目7番1号 日本電気株  
式会社内

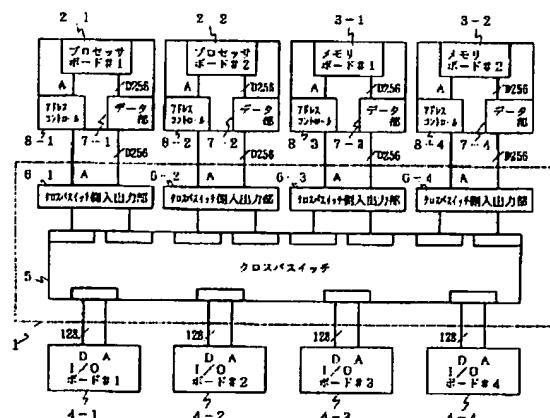
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 データ幅可変型クロスバスイッチ装置及びその接続方法並びにその制御プログラムを記録した記  
録媒体

(57)【要約】

【課題】 クロスバスイッチに接続されたデータ幅が広いポートにおいて、データ幅が狭いポートとの通信中にも相手先のポートのデータ幅に関わらず通信可能なデータ幅可変型クロスバスイッチ装置を提供する。

【解決手段】 プロセッサボード2-1, 2-2及びメモリボード3-1, 3-2とクロスバスイッチ5との間に配置したクロスバスイッチ側入出力部6-1～6-4とデータ部7-1～7-4及びアドレスコントロール部8-1～8-4とによって、通信するボード同士のデータ幅が異なる際に、データ幅が広いポートを持つ側のボードの空いたポートで他のボードとの通信を行われる。データ部7-1～7-4で通信相手毎にデータを振り分け、振り分けたデータを2系統のバッファ群各々で保存する。アドレスコントロール部8-1～8-4は入出力データの経路をデータ部7-1～7-4に指示する。



## 【特許請求の範囲】

【請求項1】 複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置であって、通信するボード同士のデータ幅が異なる際に、前記データ幅が広いボードが接続されるポートのうちの空いているポートを介して他のボードとの通信を行うよう構成したことを特徴とするデータ幅可変型クロスバスイッチ装置。

【請求項2】 複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置であって、通信するボード同士のデータ幅が異なる際に前記データ幅が広いボードが接続されるポートのうちの空いているポートを検出する検出手段と、前記検出手段で検出したポートを介して他のボードとの通信を行う手段とを有することを特徴とするデータ幅可変型クロスバスイッチ装置。

【請求項3】 前記データ幅が広いボードに前記複数のポートを割り当てるよう構成したことを特徴とする請求項2記載のデータ幅可変型クロスバスイッチ装置。

【請求項4】 前記検出手段は、前記データ幅が広いボードに割り当てられた複数のポートの中から空いているポートを検出するよう構成したことを特徴とする請求項3記載のデータ幅可変型クロスバスイッチ装置。

【請求項5】 前記検出手段は、前記データ幅が広いボードに割り当てられた複数のポート各々からのアドレス情報を基に前記複数のポートのうちの使用中のポートを特定するよう構成したことを特徴とする請求項3または請求項4記載のデータ幅可変型クロスバスイッチ装置。

【請求項6】 前記検出手段は、前記複数のボード各々に割り当てられたポートの情報を記憶する記憶手段と、前記複数のボード各々に割り当てられたポート毎に通信相手のボード及び当該ボードに割り当てられたポート各々を特定する情報を保持する保持手段とを含むことを特徴とする請求項3から請求項5のいずれか記載のデータ幅可変型クロスバスイッチ装置。

【請求項7】 前記データ幅が広いボードのデータ幅を持ちかつ当該ボードと通信相手との間で授受されるデータを格納する第1及び第2の格納手段を当該ボードに含むことを特徴とする請求項2から請求項6のいずれか記載のデータ幅可変型クロスバスイッチ装置。

【請求項8】 前記データ幅が広いボードと通信相手との間で授受されるデータの入出力経路を設定する設定手段を当該ボードに含むことを特徴とする請求項2から請求項7のいずれか記載のデータ幅可変型クロスバスイッチ装置。

【請求項9】 複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバ

スイッチ装置の接続方法であって、通信するボード同士のデータ幅が異なる際に、前記データ幅が広いボードが接続されるポートのうちの空いているポートを介して他のボードとの通信を行うようにしたことを特徴とするデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項10】 複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置の接続方法であって、通信するボード同士のデータ幅が異なる際に前記データ幅が広いボードが接続されるポートのうちの空いているポートを検出するステップと、その検出したポートを介して他のボードとの通信を行うステップとを有することを特徴とするデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項11】 前記データ幅が広いボードに前記複数のポートを割り当てるようしたことを特徴とする請求項10記載のデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項12】 前記空いているポートを検出するステップは、前記データ幅が広いボードに割り当てられた複数のポートの中から空いているポートを検出するよう構成したことを特徴とする請求項11記載のデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項13】 前記空いているポートを検出するステップは、前記データ幅が広いボードに割り当てられた複数のポート各々からのアドレス情報を基に前記複数のポートのうちの使用中のポートを特定するようにしたことを特徴とする請求項11または請求項12記載のデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項14】 前記空いているポートを検出するステップは、前記複数のボード各々に割り当てられたポートの情報を記憶する記憶手段と、前記複数のボード各々に割り当てられたポート毎に通信相手のボード及び当該ボードに割り当てられたポート各々を特定する情報を保持する保持手段とを用いて前記空いているポートを検出するようにしたことを特徴とする請求項11から請求項13のいずれか記載のデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項15】 前記データ幅が広いボードのデータ幅を持つ第1及び第2の格納手段のうちの一方に当該ボードと通信相手との間で授受されるデータを格納するようにしたことを特徴とする請求項11から請求項14のいずれか記載のデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項16】 前記データ幅が広いボードと通信相手との間で授受されるデータの入出力経路を設定する設定手段を含むことを特徴とする請求項10から請求項15のいずれか記載のデータ幅可変型クロスバスイッチ装置の接続方法。

【請求項17】 複数のボードが夫々接続される同一デ

ータ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続する処理をプロセッサに行わせるための接続制御プログラムを記録した記録媒体であって、前記接続制御プログラムは前記プロセッサに、通信するボード同士のデータ幅が異なる際に、前記データ幅が広いボードが接続されるポートのうちの空いているポートを介して他のボードとの通信を行わせることを特徴とする接続制御プログラムを記録した記録媒体。

【請求項18】複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続する処理をプロセッサに行わせるための接続制御プログラムを記録した記録媒体であって、前記接続制御プログラムは前記プロセッサに、通信するボード同士のデータ幅が異なる際に前記データ幅が広いボードが接続されるポートのうちの空いているポートを検出させ、その検出したポートを介して他のボードとの通信を行わせることを特徴とする接続制御プログラムを記録した記録媒体。

【請求項19】前記接続制御プログラムは前記プロセッサに、前記空いているポートを検出させる際に、前記データ幅が広いボードに割り当てられた複数のポートの中から空いているポートを検出させることを特徴とする請求項18記載の接続制御プログラムを記録した記録媒体。

【請求項20】前記接続制御プログラムは前記プロセッサに、前記空いているポートを検出させる際に、前記データ幅が広いボードに割り当てられた複数のポート各々からのアドレス情報を基に前記複数のポートのうちの使用中のポートを特定させることを特徴とする請求項18または請求項19記載の接続制御プログラムを記録した記録媒体。

【請求項21】前記接続制御プログラムは前記プロセッサに、前記空いているポートを検出させる際に、前記複数のボード各々に割り当てられたポートの情報を記憶する記憶手段と、前記複数のボード各々に割り当てられたポート毎に通信相手のボード及び当該ボードに割り当てられたポート各々を特定する情報を保持する保持手段とを用いて前記空いているポートを検出させることを特徴とする請求項18から請求項20のいずれか記載の接続制御プログラムを記録した記録媒体。

【請求項22】前記接続制御プログラムは前記プロセッサに、前記データ幅が広いボードのデータ幅を持つ第1及び第2の格納手段のうちの一方に当該ボードと通信相手との間で授受されるデータを格納させることを特徴とする請求項18から請求項21のいずれか記載の接続制御プログラムを記録した記録媒体。

【請求項23】前記接続制御プログラムは前記プロセッサに、前記データ幅が広いボードと通信相手との間で授受されるデータの入出力経路を設定させることを特徴とする請求項18から請求項22のいずれか記載の接続

制御プログラムを記録した記録媒体。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明はデータ幅可変型クロスバスイッチ装置及びその接続方法並びにその制御プログラムを記録した記録媒体に関し、特に異なるデータ幅を持つポート間を接続するクロスバスイッチ装置に関する。

##### 【0002】

【従来の技術】従来、この種のクロスバスイッチ装置においては、図39に示すように、プロセッサボード(#1～#3)2-1～2-3とメモリボード(#1～#3)3-1～3-3とI/O(入出力)ボード(#1～#6)4-1～4-6とをクロスバスイッチ5を介して相互に接続している。

【0003】この場合、プロセッサボード(#1～#3)2-1～2-3とメモリボード(#1～#3)3-1～3-3とI/O(入出力)ボード(#1～#6)4-1～4-6とは夫々異なるデータ幅を有している。つまり、クロスバスイッチ5は異なるデータ幅のポート間を接続している。

【0004】ここで、プロセッサボード(#1)2-1には、図40に示すように、プロセッサ21-1と、コントローラ22-1と、入力バッファ23-1と、出力バッファ24-1とが搭載されており、それらがボード内バス200-1で相互に接続されている。

【0005】尚、図示していないが、他のプロセッサボード(#2, #3)2-2, 2-3も上記のプロセッサボード(#1)2-1と同様の構成となっている。また、上記と同様に図示していないが、メモリボード(#1～#3)3-1～3-3やI/O(入出力)ボード(#1～#6)4-1～4-6もプロセッサ21-1の代わりにメモリやI/Oを搭載する以外は上記のプロセッサボード(#1)2-1と同様の構成となっている。

【0006】上記のクロスバスイッチ装置では、コントローラ22-1が入力バッファ23-1と出力バッファ24-1とを制御することで、同じデータ幅のポート同士での通信を行っている。

##### 【0007】

【発明が解決しようとする課題】上述した従来のクロスバスイッチ装置では、クロスバスイッチが異なるデータ幅のポート間を接続しているが、異なるデータ幅の間をクロスバスイッチで接続すると、データ幅が狭いポートとの間で通信しているとデータ幅が広いポートとの間での転送ができない。

【0008】また、メモリ等一部の同時アクセス要求の可能性が高い部分について、別にデータ幅の広い転送経路を用意することによって上記の問題を解決することができるが、その場合には使用効率が低くなり、ハードウェア量の増加を招いてしまう。

【0009】さらに、データ幅が広いポートの代わりに複数のデータ幅が狭いポートを複数同一ボード上に持たせることで上記の課題を解決することもできるが、該当ボードとクロスバスイッチとを接続するアドレス線やコントローラも複数必要となり、ハードウェア量の大幅な増大を招いてしまう。

【0010】そこで、本発明の目的は上記の問題点を解消し、クロスバスイッチに接続されたデータ幅が広いポートにおいて、データ幅が狭いポートとの通信中にも相手先のポートのデータ幅に関わらず通信することができるデータ幅可変型クロスバスイッチ装置及びその接続方法並びにその制御プログラムを記録した記録媒体を提供することにある。

#### 【0011】

【課題を解決するための手段】本発明によるデータ幅可変型クロスバスイッチ装置は、複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置であって、通信するボード同士のデータ幅が異なる際に、データ幅が広いポートが接続されるポートのうちの空いているポートを介して他のボードとの通信を行うよう構成している。

【0012】本発明による他のデータ幅可変型クロスバスイッチ装置は、複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置であって、通信するボード同士のデータ幅が異なる際にデータ幅が広いポートが接続されるポートのうちの空いているポートを検出する検出手段と、前記検出手段で検出したポートを介して他のボードとの通信を行う手段とを備えている。

【0013】本発明によるデータ幅可変型クロスバスイッチ装置の接続方法は、複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置の接続方法であって、通信するボード同士のデータ幅が異なる際に、データ幅が広いポートが接続されるポートのうちの空いているポートを介して他のボードとの通信を行うようにしている。

【0014】本発明による他のデータ幅可変型クロスバスイッチ装置の接続方法は、複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置の接続方法であって、通信するボード同士のデータ幅が異なる際にデータ幅が広いポートが接続されるポートのうちの空いているポートを検出するステップと、その検出したポートを介して他のボードとの通信を行うステップとを備えている。

【0015】本発明による接続制御プログラムを記録した記録媒体は、複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続するデータ幅可変型クロスバスイッチ装置の接続方法であって、通信するボード同士のデータ幅が異なる際にデータ幅が広いポートが接続されるポートのうちの空いているポートを検出するステップと、その検出したポートを介して他のボードとの通信を行うステップとを備えている。

【0016】本発明による他の接続制御プログラムを記録した記録媒体は、複数のボードが夫々接続される同一データ幅の複数のポートを有し、前記複数のポートを介して前記複数のボード間を接続する処理をプロセッサに行わせるための接続制御プログラムを記録した記録媒体であって、前記接続制御プログラムは前記プロセッサに、通信するボード同士のデータ幅が異なる際に、データ幅が広いポートが接続されるポートのうちの空いているポートを介して他のボードとの通信を行わせている。

【0017】すなわち、本発明のデータ幅可変型クロスバスイッチ装置は、通信するボード同士のデータ幅が異なる際にデータ幅が広いポートが接続されるポートのうちの空いているポートを検出させ、その検出したポートを介して他のボードとの通信を行わせている。

【0018】すなわち、ボード内スイッチを設け、通信相手毎にデータを振り分ける。また、データ部にはボード内スイッチに加えて、データ幅が広いポートの最大データ幅と同じデータ幅を持つバッファ群を2系統設け、ボード内スイッチで振り分けられたデータを各々保存している。ボード内スイッチ制御部はボード内アドレス制御部からの信号に基づいて入出力データの経路をボード内スイッチに設けられた各スイッチ(SW)に指示する。

【0019】上記のように、2系統のデータを保存する仕組みと、データを振り分ける制御機構とを持つことによって、データ幅が広いポートを持つボード内のクロスバスイッチへのポートを分割使用することが可能となる。

#### 【0020】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例によるクロスバスイッチ装置の構成を示すブロック図である。図において、クロスバスイッチ装置1はクロスバスイッチ5と、クロスバスイッチ側入出力部6-1～6-4とを備え、データ幅の広いプロセッサボード(#1、#2)2-1、2-2及びメモリボード(#1、#2)3-1、3-2各々に対応してデータ部7-1～7-4及びアドレスコントロール部8-1～8-4が配設されている。

【0021】クロスバスイッチ5は128ビットのポートを12個持ち、データ幅が128ビット幅のI/O(入出力)ボード(#1～#4)4-1～4-4を12

8ビットのポートにそのまま接続し、データ幅が256ビット幅のプロセッサボード2-1, 2-2及びメモリボード3-1, 3-2を128ビットのポート2個に夫々接続している。

【0022】すなわち、クロスバスイッチ装置1はプロセッサボード2-1, 2-2及びメモリボード3-1, 3-2を、クロスバスイッチ5の2つのポートに接続されたクロスバスイッチ側入出力部6-1～6-4を介して接続している。

【0023】上記のクロスバスイッチ側入出力部6-1～6-4とデータ部7-1～7-4とアドレスコントロール部8-1～8-4とによって、通信するボード同士のデータ幅が異なる際に（例えば、プロセッサボード2-1, 2-2及びメモリボード3-1, 3-2はI/Oボード（#1～#4）4-1～4-4よりもデータ幅が大きい）、データ幅が広いポートを持つ側のボードの空いたポートで他のボードとの通信ができるようにしている。

【0024】つまり、データ部7-1～7-4にボード内スイッチ（図示せず）を設け、通信相手毎にデータを振り分ける。また、データ部7-1～7-4にはボード内スイッチに加えて256ビット幅のバッファ群（図示せず）を2系統設け、ボード内スイッチで振り分けられたデータを2系統のバッファ群各々で保存している。

【0025】アドレスコントロール部8-1～8-4に設けたボード内スイッチ制御部（図示せず）はボード内アドレス制御部（図示せず）からの信号に基づいて入出力データの経路をボード内スイッチに設けられた各スイッチ（SW）に指示する。

【0026】上記のように、2系統のデータを保存する仕組みと、データを振り分ける制御機構とを持つことによって、データ幅が広いポートを持つボード内のクロスバスイッチ5へのポートを分割使用することが可能となる。

【0027】尚、本発明の一実施例ではクロスバスイッチ装置1をアドレス/データ分離型とし、アドレス線を使用しかつ予め決められた信号によって通信経路の確保と、転送開始や転送終了等とを行い、適切なデータを入出力可能な仕組みを実現している。

【0028】図2は図1のクロスバスイッチ側入出力部6-1の構成を示すブロック図である。図において、クロスバスイッチ側入出力部6-1はクロスバスイッチ側アドレス制御部61-1を備えている。

【0029】クロスバスイッチ側入出力部6-1はクロスバスイッチ5の2つのポートにアドレス線（A）及び128ビットのデータ線（D）で接続され、プロセッサボード2-1にアドレス線（A）と識別ビット（bit）（Sa, Sb）と2つの128ビットのデータ線（a, b）とで接続されている。

【0030】クロスバスイッチ側アドレス制御部61-

1は2つのポートからのアドレスを入力し、プロセッサボード2-1にアドレス及び識別ビットを出力する。尚、図示していないが、他のクロスバスイッチ側入出力部6-2～6-4も上記のクロスバスイッチ側入出力部6-1と同様の構成となっている。

【0031】図3は図1のデータ部7-1の構成を示すブロック図である。図において、データ部7-1はボード内スイッチ71-1と、バッファ72-1, 73-1と、スイッチ（SW#1～SW#3）74-1, 75-1, 76-1と、バッファA群77-1と、バッファB群78-1とから構成されている。尚、他のデータ部7-2～7-4も上記のデータ部7-1と同様の構成となっている。

【0032】図4は図1のアドレスコントロール部8-1の構成を示すブロック図である。図において、アドレスコントロール部8-1はボード内アドレス制御部81-1と、ボード内スイッチ制御部82-1とを備えている。尚、他のアドレスコントロール部8-2～8-4も上記のアドレスコントロール部8-1と同様の構成となっている。

【0033】図5は図3のボード内スイッチ71-1の構成を示すブロック図である。図において、ボード内スイッチ71-1はスイッチ（SW#11～SW#20）71a-1～71j-1を備えている。

【0034】図6はスイッチの構成例を示す図である。図6(a)は図3に示すスイッチ（SW#2, SW#3）75-1, 76-1及び図5に示すスイッチ（SW#11～SW#16）71a-1～71f-1の構成を示し、図6(b)は図3に示すスイッチ（SW#1）74-1及び図5に示すスイッチ（SW#17～SW#20）71g-1～71j-1の構成を示している。

【0035】図7は図2に示すクロスバスイッチ側アドレス制御部61-1の構成を示すブロック図である。クロスバスイッチ側アドレス制御部61-1はコントローラ61a-1と、メモリ(A)61b-1と、メモリ(B)61c-1とから構成されている。

【0036】図8(a)は図7のメモリ(A)61b-1の記憶内容を示す図であり、図8(b)は図7のメモリ(B)61c-1の記憶内容を示す図である。これらの図において、メモリ(A)61b-1にはボード名（プロセッサ#1, プロセッサ#2, メモリ#1, メモリ#2, I/O#1, I/O#2, I/O#3, I/O#4）とポート名（a, b）とを対応付けて記憶している。

【0037】また、メモリ(B)61c-1にはaポートの通信相手先ボード名とaポートの通信相手先ポート名とを、またbポートの通信相手先ボード名とbポートの通信相手先ポート名とを夫々対応付けて記憶している。

【0038】図9は図4のボード内アドレス制御部81

-1の構成を示すブロック図である。図において、ボード内アドレス制御部81-1はコントローラ81a-1と、メモリ(C)81b-1と、メモリ(D)81c-1と、カウンタ81d-1～81g-1とから構成されている。

【0039】図10(a)は図9のメモリ(C)81b-1の記憶内容を示す図であり、図10(b)は図9のメモリ(D)81c-1の記憶内容を示す図である。これらの図において、メモリ(C)81b-1には現在の識別ビットSaの値及び現在の識別ビットSbの値と、1クロック前の識別ビットSaの値及び1クロック前の識別ビットSbの値とが記憶されている。

【0040】また、メモリ(D)81c-1にはバッファA群77-1用のアドレス情報及びデータ送出順情報と、バッファB群78-1用のアドレス情報及びデータ送出順情報とが記憶されている。

【0041】ここで、アドレス情報AA1, AA2, AA3, AA4, ……はバッファA群77-1に入ったデータに関連して送られてきたアドレス線信号内容を示し、データ送出順情報NAA1, NAA2, NAA3, NAA4, ……は対応するアドレス線信号内容と同時に送られてきたデータがブロック先頭から幾つ目のデータとして送られてきたかを示している。

【0042】アドレス情報AB1, AB2, AB3, AB4, ……はバッファB群78-1に入ったデータに関連して送られてきたアドレス線信号内容を示し、データ送出順情報NAB1, NAB2, NAB3, NAB4, ……は対応するアドレス線信号内容と同時に送られてきたデータがブロック先頭から幾つ目のデータとして送られてきたかを示している。

【0043】図11は図4のボード内スイッチ制御部82-1による図3のスイッチ(SW#1～SW#3)74-1～76-1及び図5のスイッチ(SW#11～SW#20)71a-1～71j-1の制御を示す図である。

【0044】ボード内スイッチ制御部82-1は図3及び図5に示すボード内スイッチ71-1のポートaからポートcに接続する場合(a→c)及びポートbからポートdに接続する場合(b→d)に、スイッチ(SW#11)71a-1とスイッチ(SW#13)71c-1とスイッチ(SW#16)71f-1とスイッチ(SW#18)71h-1とが“0”側に接続されるよう制御し、スイッチ(SW#12)71b-1とスイッチ(SW#17)71g-1とが“1”側に接続されるよう制御する。

【0045】この時、スイッチ(SW#1～SW#3)74-1～76-1とスイッチ(SW#14)71d-1とスイッチ(SW#15)71e-1とスイッチ(SW#19)71i-1とスイッチ(SW#20)71j-1とは夫々“1”側及び“0”側のいずれに接続され

ていてもよい。図11においてはこの状態を「-」で示している。

【0046】ボード内スイッチ制御部82-1はボード内スイッチ71-1のポートaからポートeに接続する場合(a→e)及びポートbからポートfに接続する場合(b→f)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とスイッチ(SW#11)71a-1とスイッチ(SW#20)71j-1とが“0”側に接続されるよう制御し、スイッチ(SW#12)71b-1とスイッチ(SW#13)71c-1とスイッチ(SW#16)71f-1とスイッチ(SW#19)71i-1とが“1”側に接続されるよう制御する。

【0047】この時、スイッチ(SW#1)74-1とスイッチ(SW#14)71d-1とスイッチ(SW#15)71e-1とスイッチ(SW#17)71g-1とスイッチ(SW#18)71h-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0048】ボード内スイッチ制御部82-1はボード内スイッチ71-1のポートaからポートc, dに接続する場合(a→c, d)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“0”側に接続されるよう制御する。また、ボード内スイッチ制御部82-1はクロスバススイッチ5のクロックに同期してスイッチ(SW#11)71a-1が“1”側と“0”側とに、スイッチ(SW#13)71c-1が“1”側及び“0”側のいずれかと“0”側とに、スイッチ(SW#14)71d-1が“0”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#17)71g-1が“1”側及び“0”側のいずれかと“1”側とに、スイッチ(SW#18)71h-1が“1”側と“1”側及び“0”側のいずれかとに夫々繰り返し交互に接続されるよう制御する。

【0049】この時、スイッチ(SW#1)74-1とスイッチ(SW#12)71b-1とスイッチ(SW#15)71e-1とスイッチ(SW#16)71f-1とスイッチ(SW#19)71i-1とスイッチ(SW#20)71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0050】ボード内スイッチ制御部82-1はボード内スイッチ71-1のポートaからポートe, fに接続する場合(a→e, f)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“0”側に接続されるよう制御する。また、ボード内スイッチ制御部82-1はクロスバススイッチ5のクロックに同期してスイッチ(SW#11)71a-1が“1”側と“0”側とに、スイッチ(SW#13)71c-1が“1”側及び“0”側のいずれかと“1”側とに、スイッチ(SW#14)71d-1が“1”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#19)71i-1が

“1”側及び“0”側のいずれかと“1”側とに、スイッチ(SW#20)71j-1が“1”側と“1”側及び“0”側のいずれかとに夫々繰り返し交互に接続されるよう制御する。

【0051】この時、スイッチ(SW#1)74-1とスイッチ(SW#12)71b-1とスイッチ(SW#15～SW#18)71e-1～71h-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0052】ボード内スイッチ制御部82-1はボード内スイッチ71-1のポートbからポートc, dに接続する場合(b→c, d)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“0”側に接続されるよう制御する。また、ボード内スイッチ制御部82-1はクロスバスイッチ5のクロックに同期してスイッチ(SW#12)71b-1が“1”側と“0”側とに、スイッチ(SW#15, SW#17)71e-1, 71g-1が“1”側及び“0”側のいずれかと“0”側とに、スイッチ(SW#16, SW#18)71f-1, 71h-1が“0”側と“1”側及び“0”側のいずれかとに夫々繰り返し交互に接続されるよう制御する。

【0053】この時、スイッチ(SW#1)74-1とスイッチ(SW#11)71a-1とスイッチ(SW#13)71c-1とスイッチ(SW#14)71d-1とスイッチ(SW#19)71i-1とスイッチ(SW#20)71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0054】ボード内スイッチ制御部82-1はボード内スイッチ71-1のポートbからポートe, fに接続する場合(b→e, f)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“0”側に接続されるよう制御する。また、ボード内スイッチ制御部82-1はクロスバスイッチ5のクロックに同期してスイッチ(SW#12)71b-1が“1”側と“0”側とに、スイッチ(SW#15)71e-1が“1”側及び“0”側のいずれかと“1”側とに、スイッチ(SW#16)71f-1が“1”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#19)71i-1が“1”側及び“0”側のいずれかと“0”側とに、スイッチ(SW#20)71j-1が“0”側と“1”側及び“0”側のいずれかとに夫々繰り返し交互に接続されるよう制御する。

【0055】この時、スイッチ(SW#1)74-1とスイッチ(SW#11)71a-1とスイッチ(SW#13)71c-1とスイッチ(SW#14)71d-1とスイッチ(SW#17)71g-1とスイッチ(SW#18)71h-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0056】ボード内スイッチ制御部82-1はボード

内スイッチ71-1のポートc, dからポートaに接続する場合(c, d→a)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“1”側に接続されるよう制御する。また、ボード内スイッチ制御部82-1はクロスバスイッチ5のクロックに同期してスイッチ(SW#11)71a-1が“0”側と“1”側とに、スイッチ(SW#13)71c-1が“0”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#14)71d-1が“1”側及び“0”側のいずれかと“0”側とに、スイッチ(SW#17)71g-1が“1”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#18)71h-1が“1”側及び“0”側のいずれかと“1”側とに夫々繰り返し交互に接続されるよう制御する。

【0057】この時、スイッチ(SW#1)74-1とスイッチ(SW#12)71b-1とスイッチ(SW#15)71e-1とスイッチ(SW#16)71f-1とスイッチ(SW#19)71i-1とスイッチ(SW#20)71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0058】ボード内スイッチ制御部82-1はボード内スイッチ71-1のポートc, dからポートbに接続する場合(c, d→b)に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“1”側に接続されるよう制御する。また、ボード内スイッチ制御部82-1はクロスバスイッチ5のクロックに同期してスイッチ(SW#12)71b-1が“0”側と“1”側とに、スイッチ(SW#15)71e-1が“0”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#16)71f-1が“1”側及び“0”側のいずれかと“0”側とに、スイッチ(SW#19)71i-1が“0”側と“1”側及び“0”側のいずれかとに、スイッチ(SW#20)71j-1が“1”側及び“0”側のいずれかと“0”側とに夫々繰り返し交互に接続されるよう制御する。

【0059】この時、スイッチ(SW#1)74-1とスイッチ(SW#11)71a-1とスイッチ(SW#13)71c-1とスイッチ(SW#14)71d-1とスイッチ(SW#17)71g-1とスイッチ(SW#18)71h-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0060】ボード内スイッチ制御部82-1はボード内スイッチ71-1の出力側に接続される場合に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“0”側に接続されるよう制御する。

【0061】この時、スイッチ(SW#1)74-1とスイッチ(SW#11～SW#20)71a-1～71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0062】ボード内スイッチ制御部82-1はボード

内スイッチ71-1の入力側に接続される場合に、スイッチ(SW#2)75-1とスイッチ(SW#3)76-1とが“1”側に接続されるよう制御する。

【0063】この時、スイッチ(SW#1)74-1とスイッチ(SW#11～SW#20)71a-1～71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0064】ボード内スイッチ制御部82-1はボード内スイッチ71-1がバッファA群77-1の出力に接続される場合に、スイッチ(SW#1)74-1が“1”側に接続されるよう制御する。

【0065】この時、スイッチ(SW#2, SW#3)75-1, 76-1とスイッチ(SW#11～SW#20)71a-1～71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0066】ボード内スイッチ制御部82-1はボード内スイッチ71-1がバッファB群78-1の出力に接続される場合に、スイッチ(SW#1)74-1が“0”側に接続されるよう制御する。

【0067】この時、スイッチ(SW#2, SW#3)75-1, 76-1とスイッチ(SW#11～SW#20)71a-1～71j-1とは夫々“1”側及び“0”側のいずれに接続されていてもよい。

【0068】これら図1～図11を参照して本発明の一実施例によるクロスバスイッチ装置1について説明する。I/Oボード(#1～#4)4-1～4-4はクロスバスイッチ5の各ポートに接続され、クロスバスイッチ5の1ポート分のみを使用している。

【0069】これに対し、プロセッサボード2-1, 2-2及びメモリボード3-1, 3-2は図2に示すクロスバスイッチ側入出力部6-1～6-4を介してクロスバスイッチ5の各ポートに接続され、クロスバスイッチ5の2ポート分を使用している。

【0070】クロスバスイッチ側入出力部6-1～6-4は図3及び図4に示す各ボード内のデータ部7-1～7-4及びアドレスコントロール部8-1～8-4に接続されている。クロスバスイッチ側入出力部6-1～6-4では従来のクロスバスイッチ経由での転送要求に対し、識別ビットによって空きポートを確認した後に転送の可否を返答したり、接続されたボードからの転送要求を受けて適切なボードが接続されたクロスバスイッチ側アドレス制御部61-1に転送要求を行う。

【0071】図3に示す各ボード内のデータ部7-1～7-4はデータ振り分け用スイッチ74-1, 75-1, 76-1と2系統のバッファA群77-1及びバッファB群78-1とからなる。図4に示す各ボード内のアドレスコントロール部8-1～8-4はボード内アドレス制御部81-1とボード内スイッチ制御部82-1とからなる。

【0072】データ部7-1～7-4のボード内スイッ

チ71-1は図5に示す複数のスイッチ71a-1～71j-1の相互接続からなり、ボード内スイッチ制御部82-1からの指示に基づいて各スイッチ71a-1～71j-1が切替えられる。バッファA群77-1及びバッファB群78-1は各ボードへの入力データをポート毎にまとめて従来のボードがデータ幅を意識すること無く、データを受け取ることができるようにデータを256ビット幅で保持する。

【0073】アドレスコントロール部8-1～8-4のボード内アドレス制御部81-1は、図9に示すように、クロスバスイッチ5へのアドレス線と、識別ビット線(Sa, Sb)と、a, bポート識別線と、図40に示す従来装置のコントローラ22-1への信号線と、バッファA群77-1及びバッファB群78-1へのデータ取り込みタイミング用信号線と、その前段の128ビットバッファ72-1, 73-1へのデータ取り込みタイミング用信号線と、従来装置の入力バッファ23-1へのデータ取り込みタイミング用信号線とに夫々接続されている。

【0074】ボード内アドレス制御部81-1は従来装置のコントローラ22-1からの転送要求を受けて識別ビットを更新し、クロスバスイッチ5側に転送要求を行う。また、ボード内アドレス制御部81-1はクロスバスイッチ5側からの転送要求を受けて識別ビットの情報から転送されるデータの幅とポートとを認識してバッファA群77-1及びバッファB群78-1へデータを取り込み、従来装置のデータ入出力部の空きのタイミングでそのデータを転送する。

【0075】ボード内スイッチ制御部82-1はボード内アドレス制御部81-1からの指示を受けると、図11に示す内容を参照し、必要なスイッチに対して切替え指示を行う。

【0076】図7を参照すると、図2に示すクロスバスイッチ側入出力部6-1内のアドレス制御部61-1の構成が示されており、アドレス制御部61-1はコントローラ61a-1とメモリ(A)61b-1とメモリ(B)61c-1とから構成されている。

【0077】メモリ(A)61b-1はクロスバスイッチ装置1全体の構成環境を記憶しており[図8(a)参照]、該当する通信相手が256ビット幅転送の可能性があるかどうかを知るための手段となる。メモリ(B)61c-1は現在通信中の相手のボード名とポート名とを記憶し[図8(b)参照]、アドレス線の信号を伝達する際に参照する。

【0078】図9を参照すると、図4に示すボード内アドレス制御部81-1の詳細な構成が示されており、ボード内アドレス制御部81-1はコントローラ81a-1と、メモリ(C)81b-1と、メモリ(D)81c-1と、カウンタ81d-1～81g-1とから構成されている。

【0079】メモリ(C)81b-1は識別ビットS<sub>a</sub>、S<sub>b</sub>の1クロック前の値を保持し【図10(a)参照】、該当クロックで値が変化したものをコントローラ81a-1が知るための手段となる。

【0080】メモリ(D)81c-1はデータ部7-1のバッファA群77-1とバッファB群78-1とのデータとともに送付されたアドレス信号内容AA1, AA2, AA3, AA4, ……, AB1, AB2, AB3, AB4, ……を、同時に送られたデータを特定する記録NAA1, NAA2, NAA3, NAA4, ……, NAB1, NAB2, NAB3, NAB4, ……とともに保持する【図10(b)参照】。

【0081】カウンタ81d-1～81g-1はバッファA群77-1及びバッファB群78-1に夫々どれだけのデータが入っているかと、従来装置のデータ入力部にブロックの何番目のデータを提供しているかを示す。

【0082】これはバッファA群77-1及びバッファB群78-1にデータ取り込み用クロックを送る時に、同時に該当するカウンタ81d-1, 81f-1にカウントアップ指示を出力し、従来装置のデータ入力部のバッファにデータ取り込み指示を送る時に、同時にカウンタ81d-1, 81f-1にカウントダウン指示を、カウンタ81e-1, 81g-1にカウントアップ指示を夫々出力し、従来装置のデータ入力部のバッファへのブロックデータの最後のデータ取り込み指示とともにカウンタ81e-1, 81g-1にゼロリセット指示を送ることで実現される。

【0083】図12～図15は図2及び図7に示すクロスバスイッチ側アドレス制御部61-1の動作を示すフローチャートであり、図16～図23は図4及び図9に示すボード内アドレス制御部81-1の動作を示すフローチャートである。

【0084】これら図1～図23を参照して本発明の一実施例によるクロスバスイッチ装置1の動作について説明する。尚、上記のフローチャートの動作は各制御部が図示せぬ制御メモリのプログラムを実行することでも実現可能であり、制御メモリとしてはROM(リードオンリーメモリ)等が使用可能である。

【0085】図12～図15はクロスバスイッチ側アドレス制御部61-1に直接接続されたプロセッサボード2-1が転送要求を行う場合の動作を示している。この場合、クロスバスイッチ側アドレス制御部61-1はプロセッサボード2-1のアドレスコントロール部8-1のボード内アドレス制御部81-1からアドレス線を介して転送要求を受領すると(図12ステップS1)、接続されているプロセッサボード2-1が256ビットボードであれば(図12ステップS2)、識別ビットを参照し、自回路のポートの空き状況を確認する(図12ステップS3)。

【0086】クロスバスイッチ5のポートを256ビット

ト確保できれば、つまりクロスバスイッチ側入出力部6-1が接続されるクロスバスイッチ5の2つのポートを確保できれば(図12ステップS4)、クロスバスイッチ側アドレス制御部61-1はメモリ(A)61b-1を参照し、通信相手の最大データ幅を確認する(図12ステップS5)。

【0087】クロスバスイッチ側アドレス制御部61-1はその通信相手の最大データ幅が256ビット幅であれば(図12ステップS6)、通信相手のポートa, bに対応する2本のアドレス線に転送要求を送付し(図12ステップS7)、128ビットであれば通信相手のポートに対応するアドレス線(1本)に転送要求を送付する(図12ステップS12)。

【0088】クロスバスイッチ側アドレス制御部61-1は2本のアドレス線の両方から転送OKが返ってくると(図12ステップS8)、その信号をプロセッサボード2-1のボード内アドレス制御部81-1に中継する。クロスバスイッチ側アドレス制御部61-1は以降、転送終了まで同じ経路で信号を中継する(図12ステップS9)。

【0089】これに対し、クロスバスイッチ側アドレス制御部61-1は1本のアドレス線のみから転送OKがあった場合(図14ステップS18)、予め決められた方法でいずれかのポートに対応する識別ビットを“0”に変更する(図14ステップS19)。

【0090】クロスバスイッチ側アドレス制御部61-1は識別ビットが“1”的側の経路を確保して転送OK信号をプロセッサボード2-1のボード内アドレス制御部81-1に中継する(図14ステップS20)。

【0091】この場合、クロスバスイッチ側アドレス制御部61-1はメモリ(B)61c-1に確保した経路と相手先情報を記録し(図14ステップS20)、以降、ボード内アドレス制御部81-1からの信号についてメモリ(B)61c-1に記録した経路と相手先情報を参照して確認し、同じ通信相手からの信号であれば、転送終了までその信号の中継を続ける(図14ステップS21)。尚、クロスバスイッチ側アドレス制御部61-1は転送終了になると、同時にメモリ(B)61c-1の経路情報を消去する(図14ステップS22)。

【0092】クロスバスイッチ側アドレス制御部61-1は両方のアドレス線から転送不可が返ってきた場合(図14ステップS23)、その信号をプロセッサボード2-1のボード内アドレス制御部81-1に中継する(図14ステップS24)。

【0093】一方、クロスバスイッチ側アドレス制御部61-1はプロセッサボード2-1のポートが128ビット幅しか確保できなければ(図12ステップS10)、相手のアドレス線1本を予め決められた方法で選択して転送要求を送付する(図12ステップS11)。

【0094】クロスバスイッチ側アドレス制御部61-1はその転送要求に対して転送OKが返ってくると(図14ステップS18)、上記と同様にして経路を確保し(図14ステップS20)、プロセッサボード2-1のボード内アドレス制御部81-1に転送OKを中継する(図14ステップS21)。

【0095】この場合も、クロスバスイッチ側アドレス制御部61-1はメモリ(B)61c-1に確保した経路と相手先情報を記録し(図14ステップS20)、以降、ボード内アドレス制御部81-1からの信号についてメモリ(B)61c-1に記録した経路と相手先情報を参照して確認し、同じ通信相手からの信号であれば、転送終了までその信号の中継を続ける(図14ステップS21)。尚、クロスバスイッチ側アドレス制御部61-1は転送終了になると、同時にメモリ(B)61c-1の経路情報を消去する(図14ステップS22)。

【0096】クロスバスイッチ側アドレス制御部61-1は転送不可が返ってきた場合にも(図14ステップS23)、その信号と同じボード内アドレス制御部81-1に中継する(図14ステップS24)。

【0097】プロセッサボード2-1のポートが256ビットでない場合(図12ステップS2)、クロスバスイッチ側アドレス制御部61-1はメモリ(A)61b-1を参照し、通信相手のデータ幅に応じたアドレス線に転送要求の信号を中継する(図13ステップS13)。

【0098】クロスバスイッチ側アドレス制御部61-1はその転送要求に対して転送OKが返ってくると(図13ステップS14)、上記と同様に、プロセッサボード2-1のボード内アドレス制御部81-1に転送OKを中継する。以降、クロスバスイッチ側アドレス制御部61-1は転送終了までその信号の中継を続ける(図13ステップS15)。

【0099】クロスバスイッチ側アドレス制御部61-1は転送不可が返ってきた場合にも(図13ステップS16)、その信号と同じボード内アドレス制御部81-1に中継する(図13ステップS17)。

【0100】図15はクロスバスイッチ側アドレス制御部61-1がクロスバスイッチ5側から転送要求を受けた場合の動作を示している。この場合、クロスバスイッチ側アドレス制御部61-1はクロスバスイッチ5側から転送要求を受領すると(図15ステップS31)、識別ビットを参照し、自回路のポートの空き状況を確認する(図15ステップS32)。

【0101】クロスバスイッチ側アドレス制御部61-1は接続されているプロセッサボード2-1が256ビットボードであれば(図15ステップS33)、転送要求がアドレス線2本からきたかどうかを判定する(図15ステップS34)。

【0102】クロスバスイッチ側アドレス制御部61-1は転送要求がアドレス線2本からきていれば、転送要求のポートが確保できるかどうかを調査する(図15ステップS35)。クロスバスイッチ側アドレス制御部61-1は転送要求のポートを確保可能であれば、識別ビットSa, Sbを両方“1”に変更することで確保し(図15ステップS36)、確保できた識別ビットに対応するアドレス線を介して転送OKを返す(図15ステップS37)。

【0103】クロスバスイッチ側アドレス制御部61-1は転送要求をボード内アドレス制御部81-1に転送し(図15ステップS38)、メモリ(B)61c-1に転送経路と相手情報を記憶し、以降該当アドレス線からの信号はメモリ(B)61c-1の内容を参照し、該当ポートからの信号であればこれをボード内アドレス制御部81-1に中継する(図15ステップS39)。

【0104】このとき、ボード内アドレス制御部81-1は1ビットのa, bポート識別線が“0”的時にaポートのデータ転送先からのアドレス信号であり、“1”的時にbポートのデータ転送先からのアドレス信号であると識別する。

【0105】転送終了後、クロスバスイッチ側アドレス制御部61-1はメモリ(B)61c-1の内容をクリアし、“1”に変更した識別ビットを元に戻す(図15ステップS40)。

【0106】クロスバスイッチ側アドレス制御部61-1は接続されているプロセッサボード2-1が128ビットボードで(図15ステップS33)、対応するポートが空いていれば(図15ステップS41)、転送要求をそのまま中継し、従来装置の空き状況に対する返答を中継して返す(図15ステップS42)。以降、クロスバスイッチ側アドレス制御部61-1は上記と同様の動作を行う(図15ステップS38～S40)。

【0107】クロスバスイッチ側アドレス制御部61-1は対応するポートが空いていなければ(図15ステップS41)、あるいは転送要求がアドレス線2本からきていない時にポートが空いていなければ(図15ステップS34, S43)、または転送要求のポートが確保できなければ(図15ステップS44)、転送要求のあった経路で転送不可を返す(図15ステップS47)。

【0108】クロスバスイッチ側アドレス制御部61-1は転送要求がアドレス線2本からこない時に、転送要求のポートが確保できれば(図15ステップS43)、あるいは転送要求がアドレス線2本からきている時に、転送要求のポートが1本確保できれば(図15ステップS44)、空きポートに対応する識別ビットを“1”に変更する(図15ステップS45)。

【0109】クロスバスイッチ側アドレス制御部61-1は確保できたポートに対応するアドレス線を使用して転送OKを返し(図15ステップS46)、以降、上記

と同様の動作を行う(図15ステップS38～S40)。

【0110】図16～図23にプロセッサボード2-1のアドレスコントローラ部8-1のボード内アドレス制御部81-1(128ビットボードには実装されていない)の動作を示す。この場合、ボード内アドレス制御部81-1は直接接続された従来装置のコントローラ22-1(図40参照)から転送要求を受けると(図16ステップS51)、プロセッサボード2-1のデータ部7-1のボード内スイッチ71-1のポートc, dが使用されていないことを確認し、そのまま転送要求を中継する(図16ステップS52)。もし使用されていた場合は転送不可をコントローラ22-1に返す。

【0111】その後、ボード内アドレス制御部81-1は転送先からの転送OK通知を受領して識別ビットを確認し(図17ステップS61, S62)、256ビットの帯域を確保できれば、すなわちSa=1, Sb=1であれば(図17ステップS63)、これにデータを直接送り出せるようボード内スイッチ制御部82-1に経路を、つまりc→a, d→b経路の確保とスイッチ(SW#2, #3)75-1, 76-1の送出側経路への変更とを指示する(図17ステップS64)。

【0112】その後、ボード内アドレス制御部81-1は従来装置の出力バッファ24-1(図40参照)にクロスバスイッチ5のクロックを伝達し、毎クロック、新しいデータをクロスバスイッチ5上に送出可能とする(図17ステップS65)。

【0113】ボード内アドレス制御部81-1はコントローラ22-1からのアドレス線信号を転送完了までそのまま中継し(図17ステップS66)、コントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSa, Sbを“0”に戻す(図17ステップS67)。

【0114】ボード内アドレス制御部81-1は128ビットだけ帯域を確保できれば、すなわち識別ビットがSa=1, Sb=0であれば(図17ステップS68)、または識別ビットがSa=0, Sb=1であれば(図18ステップS74)、c, dから順番にデータを送れるようボード内スイッチ制御部82-1にクロック毎に経路を切替えるモードで動作するよう指示する。

【0115】識別ビットがSa=1, Sb=0の場合、ボード内アドレス制御部81-1はボード内スイッチ制御部82-1にc→a経路の確保とスイッチ(SW#2, #3)75-1, 76-1の送出側への変更とを指示する(図17ステップS69)。

【0116】以降、ボード内アドレス制御部81-1はクロスバスイッチ5のクロック毎に、c→aの経路とd→aの経路とを切替えるようにボード内スイッチ制御部82-1に指示する(図17ステップS70)。ボード内アドレス制御部81-1は従来装置の出力バッファ2

4-1にクロスバスイッチ5のクロックを2回に1回伝達し、2クロックに1回新しいデータをクロスバスイッチ5上に送出可能とする(図17ステップS71)。

【0117】ボード内アドレス制御部81-1はコントローラ22-1からのアドレス線信号を転送完了までそのまま中継し(図17ステップS72)、コントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSaを“0”に戻す(図17ステップS73)。

【0118】識別ビットがSa=0, Sb=1の場合、ボード内アドレス制御部81-1はボード内スイッチ制御部82-1にc→b経路の確保とスイッチ(SW#2, #3)75-1, 76-1の送出側への変更とを指示する(図18ステップS75)。

【0119】以降、ボード内アドレス制御部81-1はクロスバスイッチ5のクロック毎に、c→bの経路とd→bの経路とを切替えるようにボード内スイッチ制御部82-1に指示する(図18ステップS76)。ボード内アドレス制御部81-1は従来装置の出力バッファ24-1にクロスバスイッチ5のクロックを2回に1回伝達し、2クロックに1回新しいデータをクロスバスイッチ5上に送出可能とする(図18ステップS77)。

【0120】ボード内スイッチ制御部82-1はコントローラ22-1からのアドレス線信号を転送完了までそのまま中継し(図18ステップS78)、コントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSbを“0”に戻す(図18ステップS79)。

【0121】ボード内アドレス制御部81-1は上記の帯域を確保できなければ、従来装置のコントローラ22-1に転送不可を中継し、再送等は従来装置にまかせる(図18ステップS80)。

【0122】図19～図23はボード内アドレス制御部81-1がクロスバスイッチ5を経由して従来装置のコントローラ22-1から転送要求を受けた場合の動作を示している。この場合、ボード内アドレス制御部81-1はメモリ(C)81b-1を参照し、1クロック前と比べて“1”に変化した識別ビットを調査し(図19ステップS91, S92)、データが送られてくるポートを認識する。

【0123】ボード内アドレス制御部81-1はこの情報と使用中の経路の確認とから判明する使用可能なバッファA群77-1またはバッファB群78-1を選択し、適切な経路をボード内スイッチ制御部82-1に指示する。

【0124】この時、128ビットずつデータが送られてくる場合は前段のバッファ72-1, 73-1とバッファA群77-1またはバッファB群78-1とにクロックを交互に送ることで、256ビットのデータに揃えてバッファA群77-1またはバッファB群78-1に

記憶していく。

【0125】これと並行して、一方ではボード内アドレス制御部81-1が直接接続されているコントローラ22-1にデータを受領させるために転送要求を送出する。もし、コントローラ22-1がもう一方のバッファ群からデータを転送中等のためデータを受領できない場合は転送要求を繰り返す。

【0126】転送OKが戻ってきたら、ボード内アドレス制御部81-1は該当バッファ側へスイッチ(SW#1)74-1を切替えさせ、同時に従来装置の入力バッファ23-1(図40参照)へのクロック送付を開始し、バッファ内のデータを取り込ませる。但し、このクロックはカウンタ81d-1～81g-1を参照しながら該当バッファに256ビットのデータが存在する時のみ送付する。

【0127】データ部7-1のバッファにデータを格納する時のボード内アドレス制御部81-1からバッファに制御信号を送る動作について以下に示す。転送相手と256ビット幅でデータを転送している場合、ボード内アドレス制御部81-1は該当バッファ群と前段の128ビットバッファにデータ取り込み信号を、クロスバスイッチ5側のクロックと同期して送付する。同時に、ボード内アドレス制御部81-1のカウンタ81d-1またはカウンタ81e-1のいずれか該当する方をカウントアップする。

【0128】同様に、128ビットでデータを受けている場合、ボード内アドレス制御部81-1は最初に受領する下位128ビットのタイミングで該当する前段バッファに取り込み指示を送り、クロスバスイッチ5側の次のクロックタイミングで該当バッファ群に信号を送付して古いデータを押し下げるとともに、ボード内スイッチ71-1を介して直接見える上位128ビットと前段バッファが持つ下位128ビット分のデータとをあわせて新たなデータとして取り込む。同時に、ボード内アドレス制御部81-1のカウンタ81d-1またはカウンタ81e-1の該当する方をカウントアップする。

【0129】データ部7-1のバッファから直接接続された従来装置のデータ入力部へのデータ転送は、該当データブロックへのコントローラ22-1からの転送OKの信号を直接接続されたボード内アドレス制御部81-1が受領した後に行う。

【0130】このデータ転送はカウンタ81d-1～81g-1を参照し、バッファ群に256ビットのデータが蓄積されている場合は予め定められた通常のクロック信号を従来装置のデータ入力部のバッファのクロック線に送る。そのバッファ群に256ビットのデータが無い場合はクロック信号の伝達を見送る。

【0131】すなわち、ボード内アドレス制御部81-1は転送相手と256ビット幅でデータを転送している場合、つまり識別ビットがSa=0→1, Sb=0→1

と変化している場合(図19ステップS93)、ボード内スイッチ制御部82-1にa→c, b→d経路の確保とスイッチ(SW#2, #3)75-1, 76-1の送出側経路への変更とを指示する(図19ステップS94)。

【0132】ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がOKであれば(図19ステップS95)、ボード内スイッチ制御部82-1にスイッチ(SW#1)74-1をバッファA群77-1に切替えるよう指示する(図19ステップS96)。ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がNGであれば(図19ステップS95)、アドレス線の転送要求をメモリ(D)81c-1のバッファA群77-1用のアドレス用バッファに蓄積する(図19ステップS99)。

【0133】ボード内アドレス制御部81-1はメモリ(D)81c-1の記録NAA<sub>n</sub>(n=1, 2, 3, 4, ...)とクロック信号とを参照し、アドレス情報A<sub>n</sub>を対応するデータと同時に従来装置のコントローラ22-1に中継し、クロスバスイッチ5の動作クロックをそのまま毎回、従来装置の入力バッファ23-1に伝達する(図19ステップS97)。ボード内アドレス制御部81-1はコントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSa, Sbを“0”に戻す(図19ステップS98)。

【0134】また、ボード内アドレス制御部81-1は転送相手と128ビット幅でデータを転送している場合、つまり識別ビットがSa=0→1と変化している場合(図20ステップS100)、ポートbの接続経路を確認する(図20ステップS101)。

【0135】ボード内アドレス制御部81-1はポートbがバッファA群77-1に接続されていれば(図20ステップS102)、ボード内スイッチ制御部82-1にa→e, f経路の確保に変更するよう指示する(図20ステップS103)。

【0136】ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がOKであれば(図20ステップS104)、ボード内スイッチ制御部82-1にスイッチ(SW#1)74-1をバッファB群78-1に切替えるよう指示する(図20ステップS105)。ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がNGであれば(図20ステップS104)、アドレス線の転送要求をメモリ(D)81c-1のバッファB群78-1用のアドレス用バッファに蓄積する(図20ステップS109)。

【0137】ボード内アドレス制御部81-1はバッファ群78-1に256ビット幅のデータがあれば(図20ステップS106)、メモリ(D)81c-1の記録NAB<sub>n</sub>(n=1, 2, 3, 4, ...)とクロック信

号とを参照し、アドレス情報ABnを対応するデータと同時に従来装置のコントローラ22-1に中継し、クロスバスイッチ5の動作クロックをそのまま毎回、従来装置の入力バッファ23-1に伝達する(図20ステップS107)。ボード内アドレス制御部81-1はコントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSaを“0”に戻す(図20ステップS108)。

【0138】ボード内アドレス制御部81-1はポートbがバッファA群77-1に接続されていなければ(図20ステップS102)、ボード内スイッチ制御部82-1にa→c, d経路の確保とスイッチ(SW#2, #3)75-1, 76-1の送出側経路への変更とを指示する(図22ステップS119)。

【0139】ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がOKであれば(図22ステップS120)、ボード内スイッチ制御部82-1にスイッチ(SW#1)74-1をバッファA群77-1に切替えるよう指示する(図22ステップS121)。ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がNGであれば(図22ステップS120)、アドレス線の転送要求をメモリ(D)81c-1のバッファA群77-1用のアドレス用バッファに蓄積する(図22ステップS125)。

【0140】ボード内アドレス制御部81-1はバッファA群77-1に256ビット幅のデータがあれば(図22ステップS122)、メモリ(D)81c-1の記録NAAAn(n=1, 2, 3, 4, ...)とクロック信号とを参照し、アドレス情報AAAnを対応するデータと同時に従来装置のコントローラ22-1に中継し、クロスバスイッチ5の動作クロックをそのまま毎回、従来装置の入力バッファ23-1に伝達する(図22ステップS123)。ボード内アドレス制御部81-1はコントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSaを“0”に戻す(図22ステップS124)。

【0141】ボード内アドレス制御部81-1は転送相手と128ビット幅でデータを転送している場合、つまり識別ビットがSb=0→1と変化している場合(図21ステップS110)、ポートaがバッファA群77-1に接続されれば(図21ステップS111)、ボード内スイッチ制御部82-1にa→e, f経路の確保に変更するよう指示する(図21ステップS112)。

【0142】ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がOKであれば(図21ステップS113)、ボード内スイッチ制御部82-1にスイッチ(SW#1)74-1をバッファB群78-1に切替えるよう指示する(図21ステップS114)。ボード内アドレス制御部81-1は従来装置

のコントローラ22-1への転送要求がNGであれば(図21ステップS113)、アドレス線の転送要求をメモリ(D)81c-1のバッファB群78-1用のアドレス用バッファに蓄積する(図21ステップS118)。

【0143】ボード内アドレス制御部81-1はバッファB群78-1に256ビット幅のデータがあれば(図21ステップS115)、メモリ(D)81c-1の記録NABn(n=1, 2, 3, 4, ...)とクロック信号とを参照し、アドレス情報ABnを対応するデータと同時に従来装置のコントローラ22-1に中継し、クロスバスイッチ5の動作クロックをそのまま毎回、従来装置の入力バッファ23-1に伝達する(図21ステップS116)。ボード内アドレス制御部81-1はコントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSbを“0”に戻す(図21ステップS117)。

【0144】ボード内アドレス制御部81-1はポートaがバッファA群77-1に接続されなければ(図21ステップS111)、ボード内スイッチ制御部82-1にa→c, d経路の確保とスイッチ(SW#2, #3)75-1, 76-1の送出側経路への変更とを指示する(図23ステップS126)。

【0145】ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がOKであれば(図23ステップS127)、ボード内スイッチ制御部82-1にスイッチ(SW#1)74-1をバッファA群77-1に切替えるよう指示する(図23ステップS128)。ボード内アドレス制御部81-1は従来装置のコントローラ22-1への転送要求がNGであれば(図23ステップS127)、アドレス線の転送要求をメモリ(D)81c-1のバッファA群77-1用のアドレス用バッファに蓄積する(図23ステップS132)。

【0146】ボード内アドレス制御部81-1はバッファA群77-1に256ビット幅のデータがあれば(図23ステップS129)、メモリ(D)81c-1の記録NAAAn(n=1, 2, 3, 4, ...)とクロック信号とを参照し、アドレス情報AAAnを対応するデータと同時に従来装置のコントローラ22-1に中継し、クロスバスイッチ5の動作クロックをそのまま毎回、従来装置の入力バッファ23-1に伝達する(図23ステップS130)。ボード内アドレス制御部81-1はコントローラ22-1から転送完了信号が送られてきたのをきっかけに識別ビットSbを“0”に戻す(図23ステップS131)。

【0147】図24は本発明の一実施例によるクロスバスイッチ装置1におけるデータ転送の場合分けを示す図である。図において、C1は256ビットのデータを256ビットポートへ転送する際に、256ビット帯域を

確保できる場合を示し、C2は256ビットのデータを256ビットポートへ転送する際に、128ビット帯域を確保できる場合を示し、C3は256ビットのデータを256ビットポートへ転送する際に、帯域を確保できない場合を示している。

【0148】C4は128ビットのデータを256ビットポートへ転送する際に、128ビット帯域を確保できる場合を示し、C5は128ビットのデータを256ビットポートへ転送する際に、帯域を確保できない場合を示している。

【0149】C6は256ビットのデータを128ビットポートへ転送する際に、128ビット帯域を確保できる場合を示し、C7は256ビットのデータを128ビットポートへ転送する際に、帯域を確保できない場合を示している。

【0150】C8は128ビットのデータを128ビットポートへ転送する際に、128ビット帯域を確保できる場合を示し、C9は128ビットのデータを128ビットポートへ転送する際に、帯域を確保できない場合を示している。

【0151】図25は本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に256ビット帯域を確保できる場合(C1の場合)の要求側の動作を示す図であり、図26は本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に256ビット帯域を確保できる場合(C1の場合)の供給側の動作を示す図である。

【0152】図27は本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合(C2の場合)の要求側の動作を示す図であり、図28は本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合(C2の場合)の供給側の動作を示す図である。

【0153】図29は本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合(C3の場合)の要求側の動作を示す図であり、図30は本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合(C3の場合)の供給側の動作を示す図である。

【0154】図31は本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合(C4の場合)の要求側の動作を示す図であり、図32は本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合(C4の場合)の供給側の動作を示す図である。

【0155】図33は本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に帯域

を確保できない場合(C5の場合)の要求側の動作を示す図であり、図34は本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合(C5の場合)の供給側の動作を示す図である。

【0156】図35は本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に128ビット帯域を確保できる場合(C6の場合)の要求側の動作を示す図であり、図36は本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に128ビット帯域を確保できる場合(C6の場合)の供給側の動作を示す図である。

【0157】図37は本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に帯域を確保できない場合(C7の場合)の要求側の動作を示す図であり、図38は本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に帯域を確保できない場合(C7の場合)の供給側の動作を示す図である。

【0158】これら図1～図11及び図24～図38を参照して本発明の一実施例によるクロスバスイッチ装置1を用いたデータ転送について説明する。尚、図24に示すC8、C9の場合は従来装置と同じ環境であり、その動作は自明であるため、特に説明しない。

【0159】まず、256ビットのデータを256ビットポートへ転送する際に256ビット帯域を確保できる場合(C1の場合)、要求側では識別ビットSa、Sbがともに“0”的時に従来装置のコントローラ22-1から転送要求があると(処理C1-1)、ボード内アドレス制御部81-1が識別ビットSa、Sbを両方“1”にして転送要求を送出する(Sa=0→1, Sb=0→1)(処理C1-2)。ここで、供給側では処理C-1、C-2の時に識別ビットSa、Sbがともに“0”である。

【0160】その後、要求側のクロスバスイッチ側アドレス制御部61-1は識別ビットSa、Sbが両方“1”になると、通信相手の2つのアドレス線に転送要求を送出する。供給側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線の転送要求を検出する。この時、識別ビットSa、Sbは要求側で“1”、供給側で“0”である(処理C1-3)。

【0161】供給側のクロスバスイッチ側アドレス制御部61-1は識別ビットSa、Sbがともに“0”であるので、2つのアドレス線の両方に転送OKを返答し、同時に識別ビットSa、Sbを両方“1”(Sa=0→1, Sb=0→1)にして転送要求をボードに送出する。その後、供給側のボード内アドレス制御部81-1はボード内スイッチ制御部82-1にa→c、b→dの経路設定を指示する(処理C1-4)。

【0162】供給側のボード内アドレス制御部81-1

は從来装置のコントローラ22-1に転送要求を伝達する。要求側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線の両方から転送OKを確認すると、識別ビットSa, Sbを両方“1”的ままでし、ボードに転送OKを伝達する(処理C1-5)。

【0163】要求側のボード内スイッチ制御部82-1はボード内スイッチ制御部82-1にa→c, b→dの経路設定を指示し、スイッチ(SW#2, SW#3)75-1, 76-1を送出側にするよう指示する(処理C1-6)。

【0164】要求側のボード内スイッチ制御部82-1は指示された設定を行うと、データを送出する。供給側のボード内スイッチ制御部82-1は送られてきたデータをバッファA群77-1で受取る(処理C1-7)。

【0165】供給側のボード内アドレス制御部81-1はバッファ群から從来装置のデータ入力部が取り込み中のデータがないか、または取り込み終了を確認する(処理C1-8)。

【0166】供給側のボード内アドレス制御部81-1は確認後に、アドレスを從来装置のコントローラに送付する。クロスバスイッチ側アドレス制御部61-1はスイッチ(SW#1)74-1をバッファA群77-1に設定するよう指示する(処理C1-9)。

【0167】要求側のボード内アドレス制御部81-1は送出完了後、識別ビットSa, Sbを“0”に戻し(Sa=1→0, Sb=1→0)、供給側のボード内アドレス制御部81-1は転送完了後、識別ビットSa, Sbを“0”に戻す(Sa=1→0, Sb=1→0)(処理C1-10)(図25及び図26参照)。

【0168】256ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合(C2の場合)、要求側及び供給側ともに上記の処理C1-1～C1-3を行う。

【0169】その後に、供給側のクロスバスイッチ側アドレス制御部61-1は識別ビットSa, Sbをみてポートaまたはポートbが使用中であることを認識し、空いている側のアドレス線に転送OKを返答し、同時に応する識別ビットSa, Sbを“1”(Sa=0→1またはSb=0→1)にして転送要求をボードに送出する(処理C2-1)。

【0170】供給側のボード内アドレス制御部81-1はボード内スイッチ制御部82-1に確保したポートから確保可能なバッファ群への経路を確保するよう指示する。要求側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線の一方から転送OKを確認すると、転送OKがこなかった方の識別ビットSa, Sbを“0”にし(1, 1→0または1→0, 1)、ボードに転送OKを伝達する(処理C2-2)。

【0171】要求側のボード内アドレス制御部81-1は從来装置のコントローラ22-1に転送OKを伝達

し、ボード内スイッチ制御部82-1にスイッチ(SW#2, SW#3)75-1, 76-1を送出側にするよう指示する(処理C2-3)。

【0172】要求側のボード内スイッチ制御部82-1はボード内スイッチ制御部82-1にc→a or b, d→a or bの経路設定を指示し、從来装置の出力部に新データを2クロックに1回要求する。供給側のボード内アドレス制御部81-1は從来装置のコントローラ22-1に転送要求を伝達し、ボード内スイッチ制御部82-1はクロック毎にスイッチ(SW#11)71a-1またはスイッチ(SW#12)71b-1をスイッチし、バッファ群の上位下位ビットに順番にデータを送る経路を確保する(処理C2-4)。

【0173】要求側のボード内スイッチ制御部82-1は指示された設定を行うと、データを送出する。供給側のボード内スイッチ制御部82-1は送られてきたデータをバッファA群77-1またはバッファB群78-1で受取る(処理C2-5)。以後、要求側及び供給側ともに上記の処理C1-8～C1-10を行う(図27及び図28参照)。

【0174】256ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合(C3の場合)、要求側及び供給側ともに上記の処理C1-1～C1-3を行う。

【0175】その後に、供給側のクロスバスイッチ側アドレス制御部61-1は識別ビットSa, Sbをみてポートa及びポートbが使用中であることを認識し、帯域確保不可信号を返答する(処理C3-1)。

【0176】要求側のクロスバスイッチ側アドレス制御部61-1は帯域確保不可信号をボードにそのまま伝達し、識別ビットSa, Sbとともに“0”にする(Sa=1→0, Sb=1→0)(処理C3-2)。

【0177】要求側のボード内アドレス制御部81-1は從来装置のコントローラ22-1に帯域確保不可信号をそのまま伝達する(処理C3-3)。以降、從来装置のコントローラ22-1の再送要求にまかせる。從来装置における再送のきっかけを受領側が出している場合は、受領側の從来装置のコントローラ22-1まで要求することで、その方式のまま使用可能である(図29及び図30参照)。

【0178】128ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合(C4の場合)、要求側のクロスバスイッチ側アドレス制御部61-1は唯一のアドレス線から受領側の2つのアドレス線のいずれかに転送要求を送出する。供給側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線のいずれか一方の転送要求を検出する(処理C4-1)。

【0179】供給側のクロスバスイッチ側アドレス制御部61-1は識別ビットSa, Sbをみて少なくともボ

ートa, bいずれかが空いていることを確認し、空いているいすれかのポートのアドレス線から転送OKを返事する側の識別ビットを“1”にする（処理C4-2）。

【0180】要求側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線の一方から転送OKを確認すると、ボードに転送OKを伝達し、以降データ送付先を返事のあったポートに変更する。ボード内アドレス制御部81-1は従来装置のコントローラ22-1に転送OKをそのまま伝達する（処理C4-3）。

【0181】この後、供給側では上記の処理C2-2～C2-5, C1-8～1-10を行う。また、要求側では処理C4-3を行うと、以降、従来装置のコントローラ22-1からの信号とデータとをそのまま出力する（図31及び図32参照）。

【0182】128ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合（C5の場合）、要求側のクロスバスイッチ側アドレス制御部61-1は唯一のアドレス線から受領側のいすれかのアドレス線に転送要求を送出する。供給側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線の一方の転送要求を検出する（処理C5-1）。

【0183】供給側のクロスバスイッチ側アドレス制御部61-1は識別ビットSa, Sbみてポートa及びポートbが使用中であることを認識し、帯域確保不可信号を返答する（処理C5-2）。

【0184】要求側のクロスバスイッチ側アドレス制御部61-1は帯域確保不可信号をボードにそのまま伝達する（処理C5-3）。以降、従来装置のコントローラ22-1の再送要求にまかせる。従来装置における再送のきっかけを受領側が出している場合は、受領側の従来装置のコントローラ22-1まで要求することで、その方式のまま使用可能である（図33及び図34参照）。

【0185】256ビットのデータを128ビットポートへ転送する際に128ビット帯域を確保できる場合（C6の場合）、要求側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線のいすれかに転送要求を送出する。供給側のクロスバスイッチ側アドレス制御部61-1はアドレス線から転送要求を検出する（処理C6-1）。

【0186】供給側のクロスバスイッチ側アドレス制御部61-1は送り主のポートにあるアドレス線に転送OKを返事する。要求側のクロスバスイッチ側アドレス制御部61-1はアドレス線から転送OKを確認すると、ボードに転送OKを伝達する（処理C6-2）。

【0187】この後、要求側では上記の処理C2-3～C2-5, C1-8～1-10を行う。また、供給側では処理C6-2を行うと、以降、従来装置のコントローラ22-1へ信号とデータとをそのまま従来装置に入力する（図35及び図36参照）。

【0188】256ビットのデータを128ビットポー

トへ転送する際に帯域を確保できない場合（C7の場合）、要求側のクロスバスイッチ側アドレス制御部61-1は2つのアドレス線のいすれかから転送要求を送出する。供給側のクロスバスイッチ側アドレス制御部61-1はアドレス線から転送要求を検出する（処理C7-1）。

【0189】供給側のクロスバスイッチ側アドレス制御部61-1は送り主のポートのあるアドレス線に帯域確保不可信号を返事する。要求側のクロスバスイッチ側アドレス制御部61-1はアドレス線から帯域確保不可信号を確認すると、帯域確保不可信号をボードに伝達する（処理C7-2）。

【0190】以降、従来装置のコントローラ22-1の再送要求にまかせる。従来装置における再送のきっかけを受領側が出している場合は、受領側の従来装置のコントローラ22-1まで要求することで、その方式のまま使用可能である（図37及び図38参照）。

【0191】このように、幅の広いデータを受けられるボードに2系統の入力バッファと共にデータを振り分けるスイッチ及びコントローラを持っているので、2つのデータ幅の異なるボードと同時に転送を行うことができる。

【0192】また、幅の広いデータを送ることが可能なボードの出力バッファの先にデータを振り分けるスイッチ及びコントローラを持っているので、データを転送中であっても半分のデータ幅に相当するポートが未使用であれば別のデータ転送を行うことができる。

【0193】さらに、2組のアドレス線を設ける代わりに1本のアドレス線と2ビットの識別ビットと1ビットのa, bポート識別線とを使用しているので、接続部分の物理的なサイズを小さくし、安価に実現することができる。

【0194】さらにまた、データ線／アドレス線とともに通信相手のバス幅に依存せずに共用化を図っているので、通信相手のデータ幅に合わせたポートを複数設けるよりも安価に実現することができる。

【0195】

【発明の効果】以上説明したように本発明によれば、複数のボードが夫々接続される同一データ幅の複数のポートを有し、アドレス信号を共有する複数のポートを介して複数のボード間を接続するデータ幅可変型クロスバスイッチ装置において、通信するボード同士のデータ幅が異なる際に、データ幅が広いポートが接続されるポートのうちの空いているポートを介して他のポートとの通信を行うことによって、クロスバスイッチに接続されたデータ幅が広いポートにおいて、データ幅が狭いポートとの通信中にも相手先のポートのデータ幅に関わらず通信することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるクロスバスイッチ装置

の構成を示すブロック図である。

【図2】図1のクロスバスイッチ側入出力部の構成を示すブロック図である。

【図3】図1のデータ部の構成を示すブロック図である。

【図4】図1のアドレスコントロール部の構成を示すブロック図である。

【図5】図3のボード内スイッチの構成を示すブロック図である。

【図6】(a), (b)は図3及び図5に示すスイッチの構成を示す図である。

【図7】図2に示すクロスバスイッチ側アドレス制御部の構成を示すブロック図である。

【図8】(a)は図7のメモリ(A)の記憶内容を示す図、(b)は図7のメモリ(B)の記憶内容を示す図である。

【図9】図4のボード内アドレス制御部の構成を示すブロック図である。

【図10】(a)は図9のメモリ(C)の記憶内容を示す図、(b)は図9のメモリ(D)の記憶内容を示す図である。

【図11】図4のボード内スイッチ制御部による図3及び図5のスイッチの制御を示す図である。

【図12】図2及び図7に示すクロスバスイッチ側アドレス制御部の動作を示すフローチャートである。

【図13】図2及び図7に示すクロスバスイッチ側アドレス制御部の動作を示すフローチャートである。

【図14】図2及び図7に示すクロスバスイッチ側アドレス制御部の動作を示すフローチャートである。

【図15】図2及び図7に示すクロスバスイッチ側アドレス制御部の動作を示すフローチャートである。

【図16】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図17】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図18】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図19】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図20】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図21】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図22】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図23】図4及び図9に示すボード内アドレス制御部の動作を示すフローチャートである。

【図24】本発明の一実施例によるクロスバスイッチ装置におけるデータ転送の場合分けを示す図である。

【図25】本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に256ビット帯域を確保できる場合の要求側の動作を示す図である。

【図26】本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に256ビット帯域を確保できる場合の供給側の動作を示す図である。

【図27】本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合の要求側の動作を示す図である。

【図28】本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合の供給側の動作を示す図である。

【図29】本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合の要求側の動作を示す図である。

【図30】本発明の一実施例による256ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合の供給側の動作を示す図である。

【図31】本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合の要求側の動作を示す図である。

【図32】本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に128ビット帯域を確保できる場合の供給側の動作を示す図である。

【図33】本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合の要求側の動作を示す図である。

【図34】本発明の一実施例による128ビットのデータを256ビットポートへ転送する際に帯域を確保できない場合の供給側の動作を示す図である。

【図35】本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に128ビット帯域を確保できる場合の要求側の動作を示す図である。

【図36】本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に128ビット帯域を確保できる場合の供給側の動作を示す図である。

【図37】本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に帯域を確保できない場合の要求側の動作を示す図である。

【図38】本発明の一実施例による256ビットのデータを128ビットポートへ転送する際に帯域を確保できない場合の供給側の動作を示す図である。

【図39】従来例によるクロスバスイッチ装置の構成を示すブロック図である。

【図40】図39のプロセッサボードの構成を示すブロック図である。

#### 【符号の説明】

1 クロスバスイッチ装置

2-1, 2-2 プロセッサボード

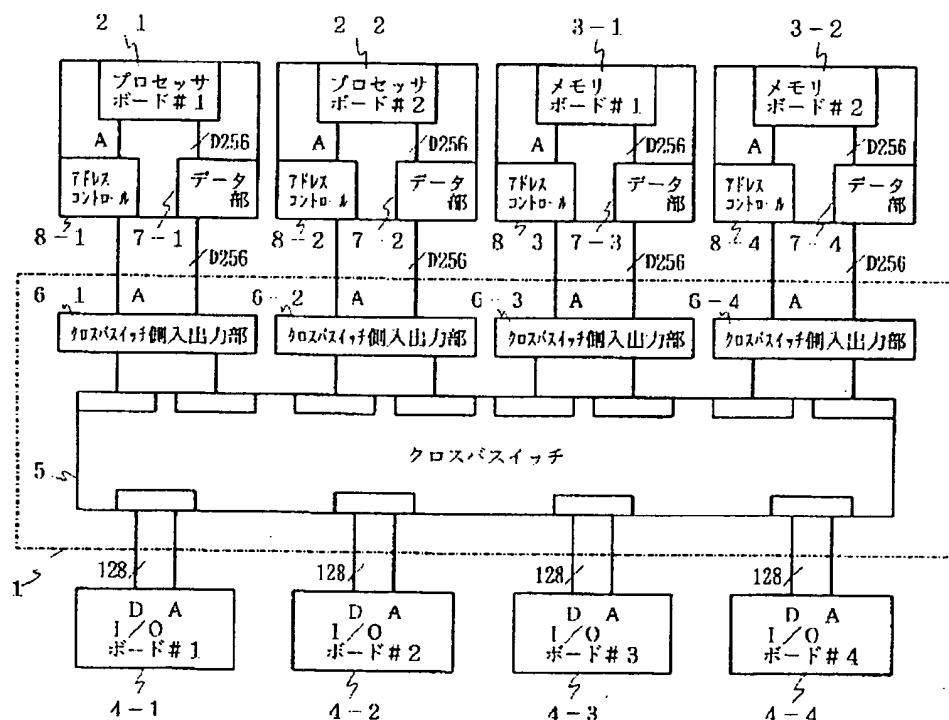
3-1, 3-2 メモリボード

4-1~4-4 I/Oボード

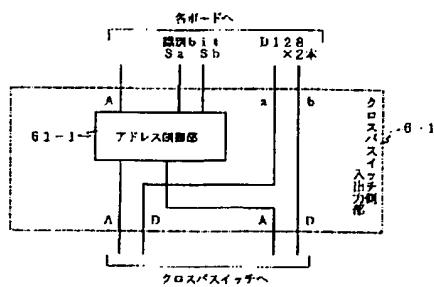
5 クロスバスイッチ  
 6-1~6-4 クロスバスイッチ側入出力部  
 7-1~7-4 データ部  
 8-1~8-4 アドレスコントロール部  
 6 1-1 クロスバスイッチ側アドレス制御部  
 6 1 a-1 コントローラ  
 6 1 b-1 メモリ(A)  
 6 1 c-1 メモリ(B)  
 7 1-1 ボード内スイッチ  
 7 2-1, 7 3-1 バッファ

7 4-1~7 6-1,  
 7 1 a-1~7 1 j-1 スイッチ  
 7 7-1 バッファA群  
 7 8-1 バッファB群  
 8 1-1 ボード内アドレス制御部  
 8 1 a-1 コントローラ  
 8 1 b-1 メモリ(C)  
 8 1 c-1 メモリ(D)  
 8 1 d-1~8 1 g-1 カウンタ  
 8 2-1 ボード内スイッチ制御部

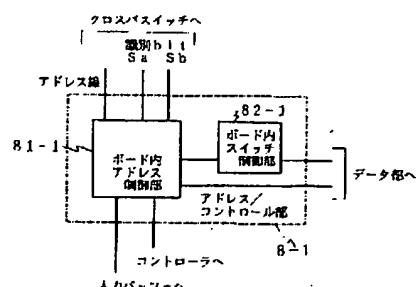
【図1】



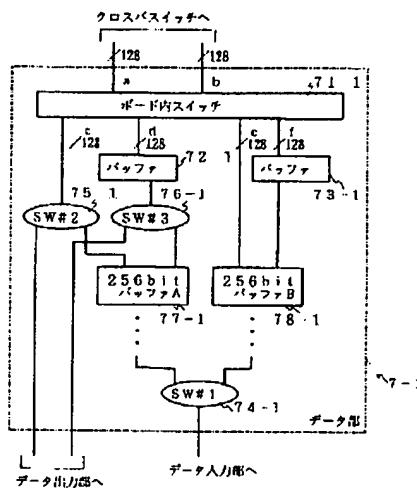
【図2】



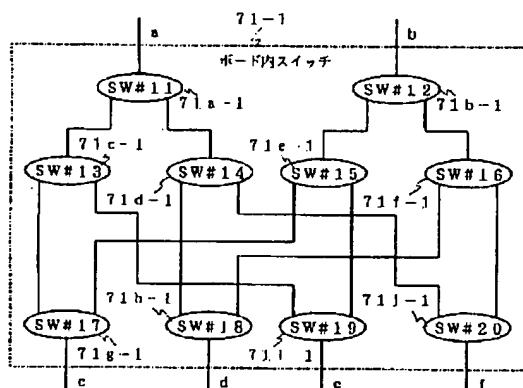
【図4】



〔四三〕

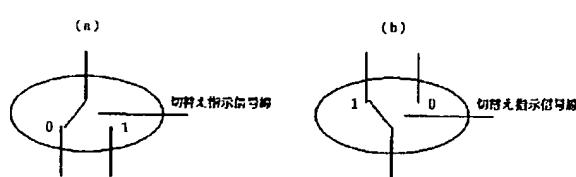


(图5)

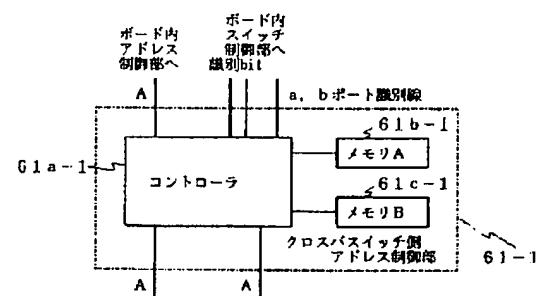


(図7)

〔圖6〕



10



(a)

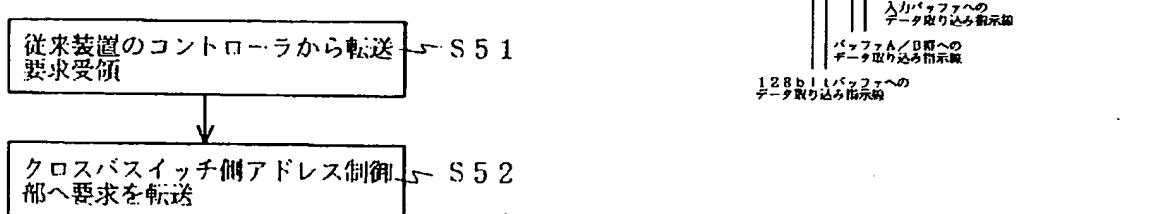
ボード名	ボーダー名
プロセッサ#1	a b
プロセッサ#2	a b
メモリ#1	a b
メモリ#2	a b
I/O#1	a
I/O#2	a
I/O#3	a
I/O#4	a

(b)

a ポートの通信相手先ポート名	b ポートの通信相手先ポート名
c ポートの通信相手先ポート名	d ポートの通信相手先ポート名

〔四九〕

〔図16〕



【图10】

現在の S <sub>a</sub> の値	現在の S <sub>b</sub> の値
1 クロック前の S <sub>a</sub> の値	1 クロック前の S <sub>b</sub> の値

(b)

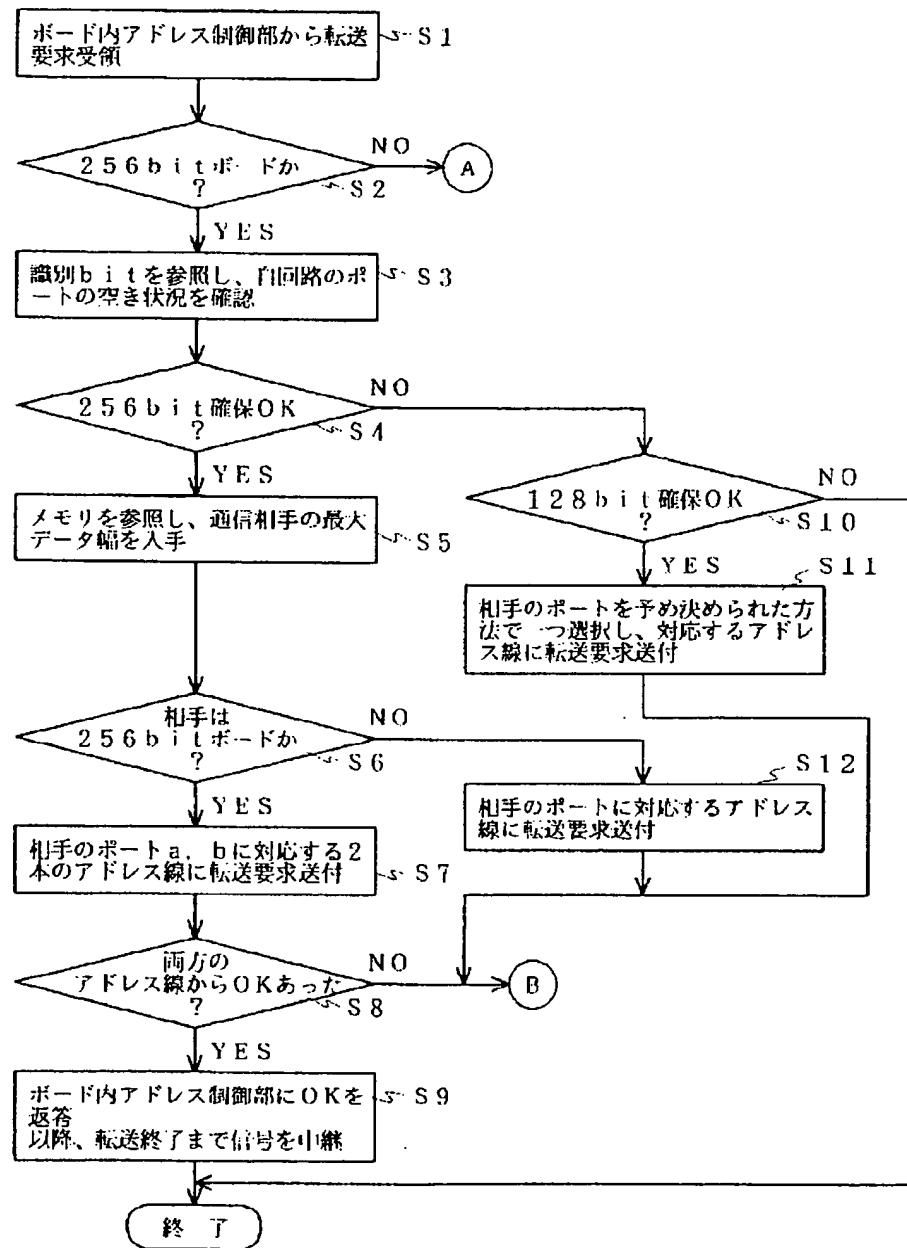
バッファA群用	バッファB群用
△△1	N△△1
△△2	N△△2
△△3	N△△3
△△4	N△△4
.	.
.	.
.	.

【四】

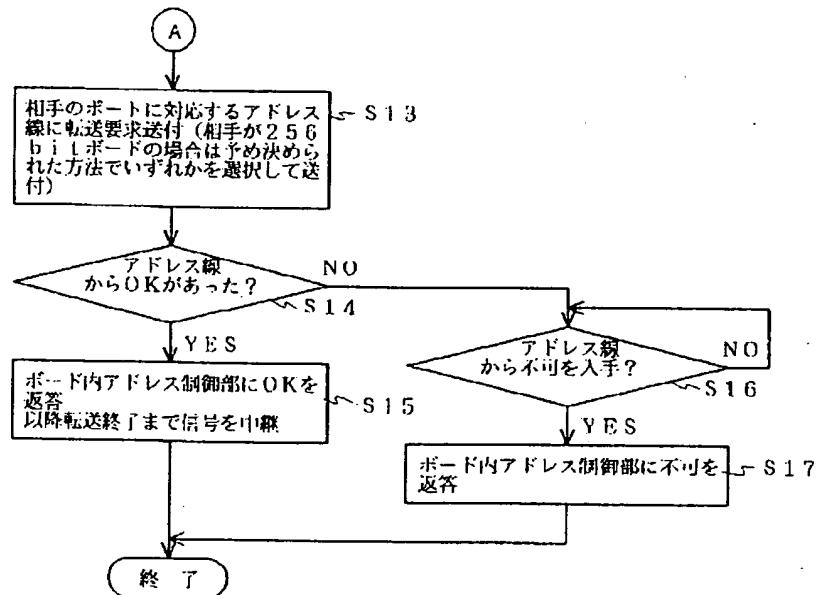
256bit→256bitポートへ	256bit帯域確保OK	C1
	128bit帯域確保OK	C2
	帯域確保不可	C3
128bit→256bitポートへ	128bit以上帯域確保OK	C4
	帯域確保不可	C5
256bit→128bitポートへ	128bit帯域確保OK	C6
	帯域確保不可	C7
128bit→128bitポートへ	128bit帯域確保OK	C8
	帯域確保不可	C9

### 【図11】

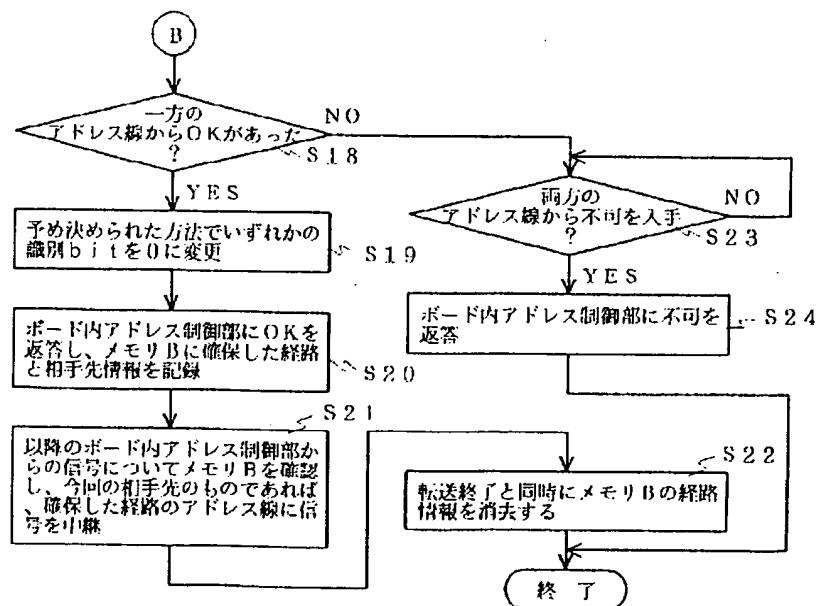
【図12】



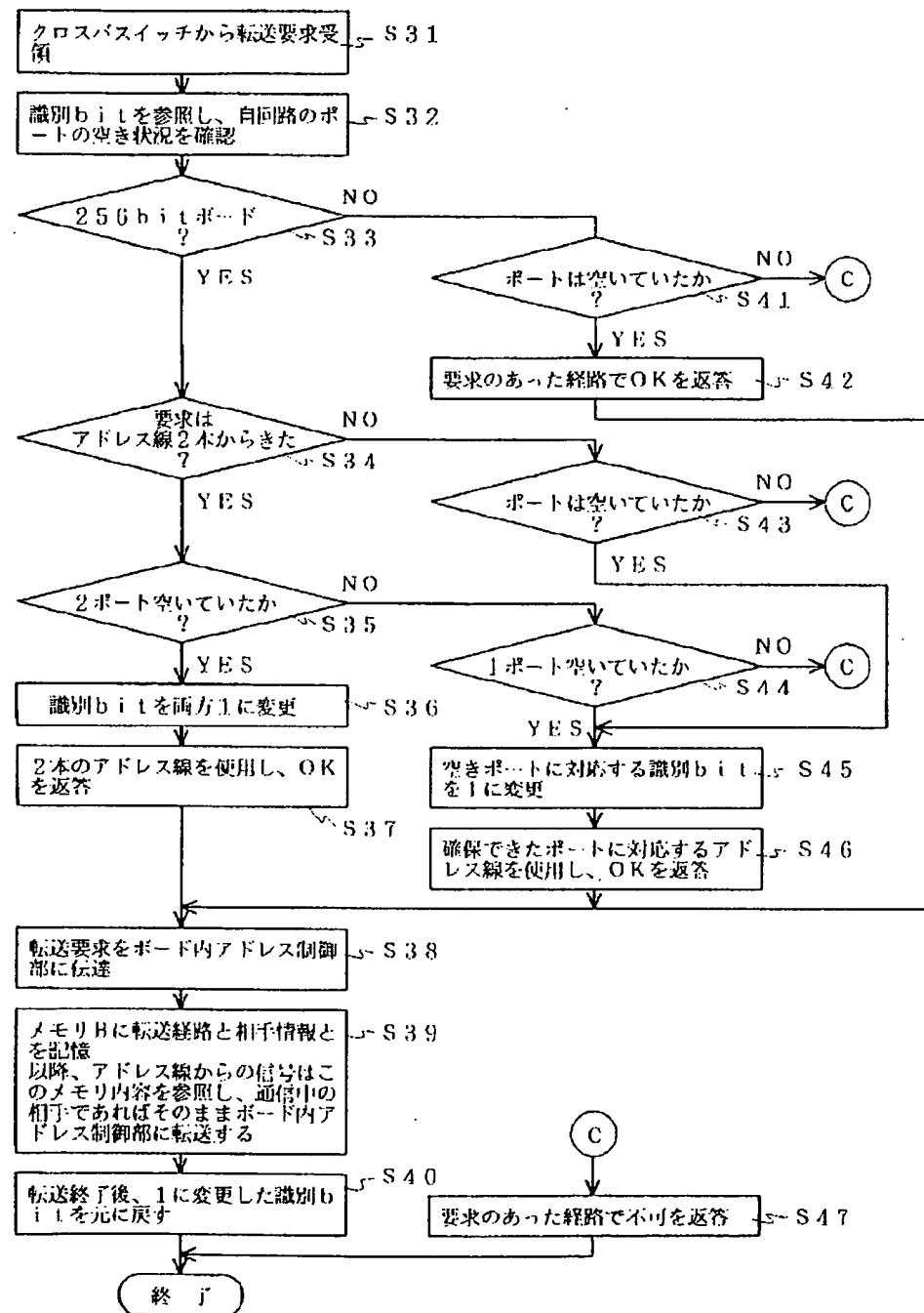
【図13】



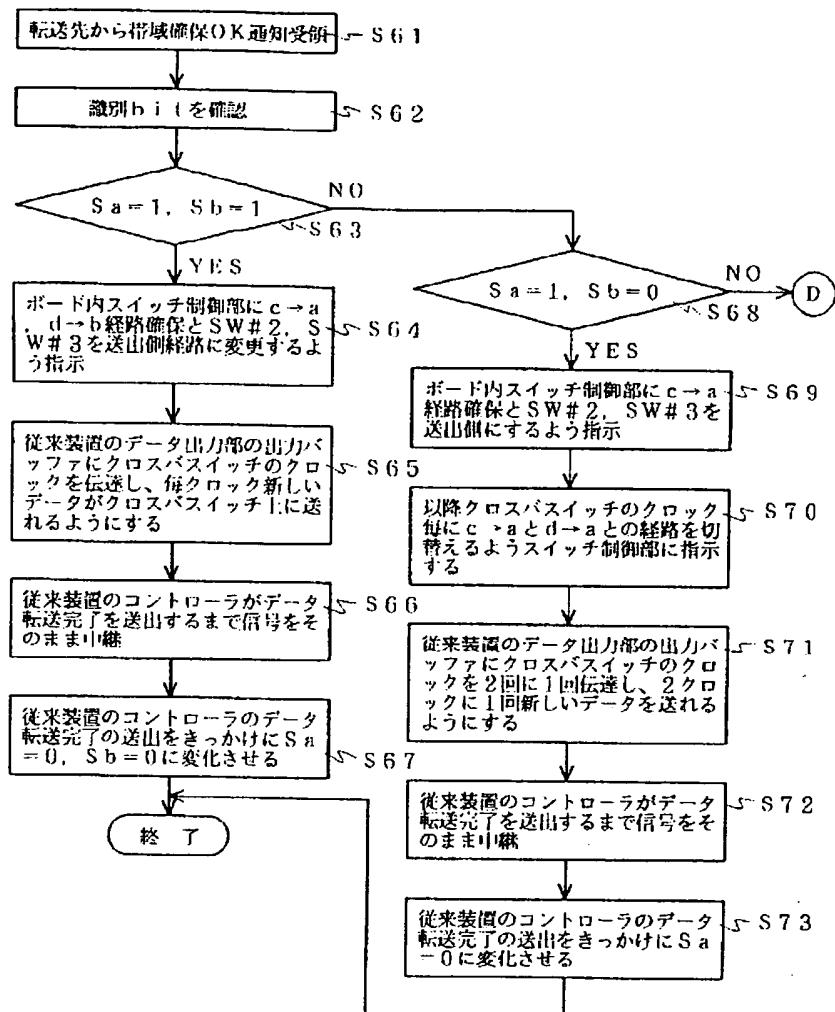
【図14】



【図15】



【図17】



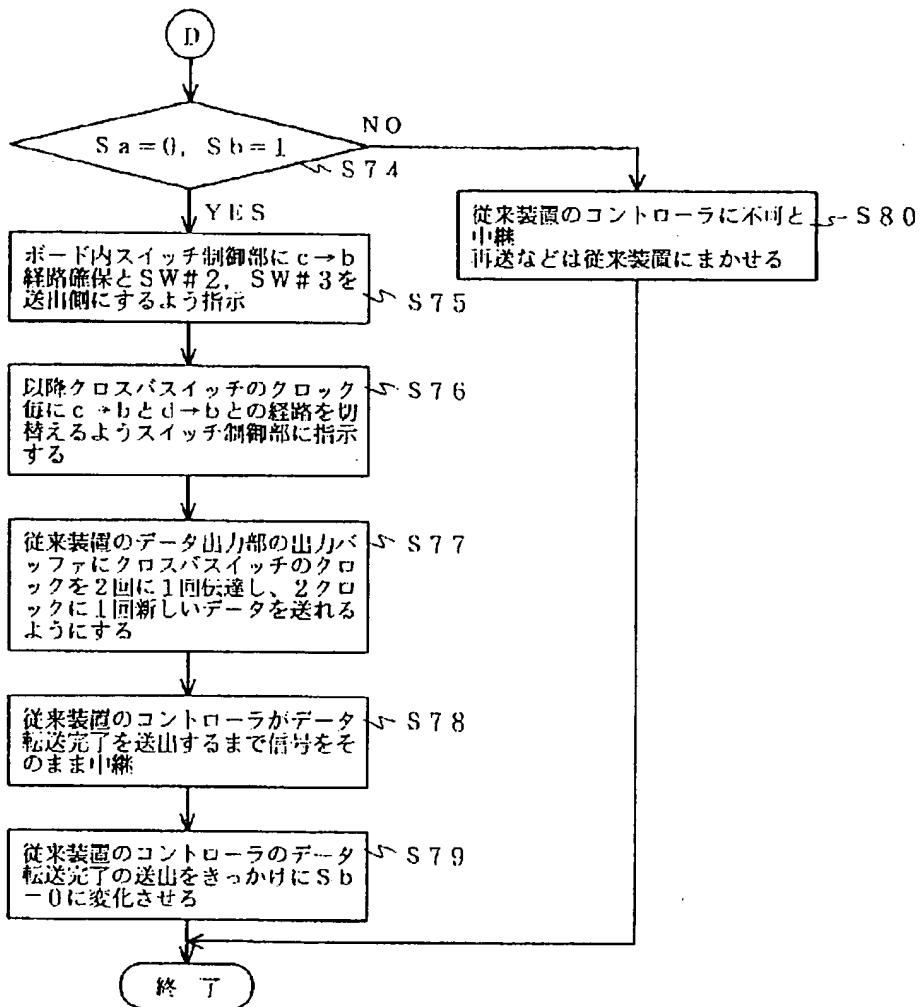
【図31】

	要求側			
	ボード内 アドレス制御部	ボード内 スイッチ制御部	クロスバスイッチ制 アドレス制御部	識別b[i]
C4-1			唯一のアドレス範から交換側のいずれかのアドレス端へ要求送山	無し
C4-2				無し
C4-3	従来装置のコントローラに応答をそのまま伝達		信号をボード側にそのまま伝達。以降、データ送付先を返事のあったポートに変更	無し
以降、従来装置のコントローラからの応答とデータとをそのまま出力				無し

【図33】

	要求側			
	ボード内 アドレス制御部	ボード内 スイッチ制御部	クロスバスイッチ制 アドレス制御部	識別b[i]
C5-1	無し	無し	唯一のアドレス範から受信側のいずれかのアドレス端へ要求送山	無し
C5-2	無し	無し		無し
C5-3	無し	無し	不規則な信号をボード側にそのまま伝達	無し
以降、従来装置のコントローラの再送要求にまかせる。従来装置における再送のきっかけを受信側が示している場合は、受信側の従来装置のコントローラまで要求を出すことで、その方式のまま起用可能。				

【図18】



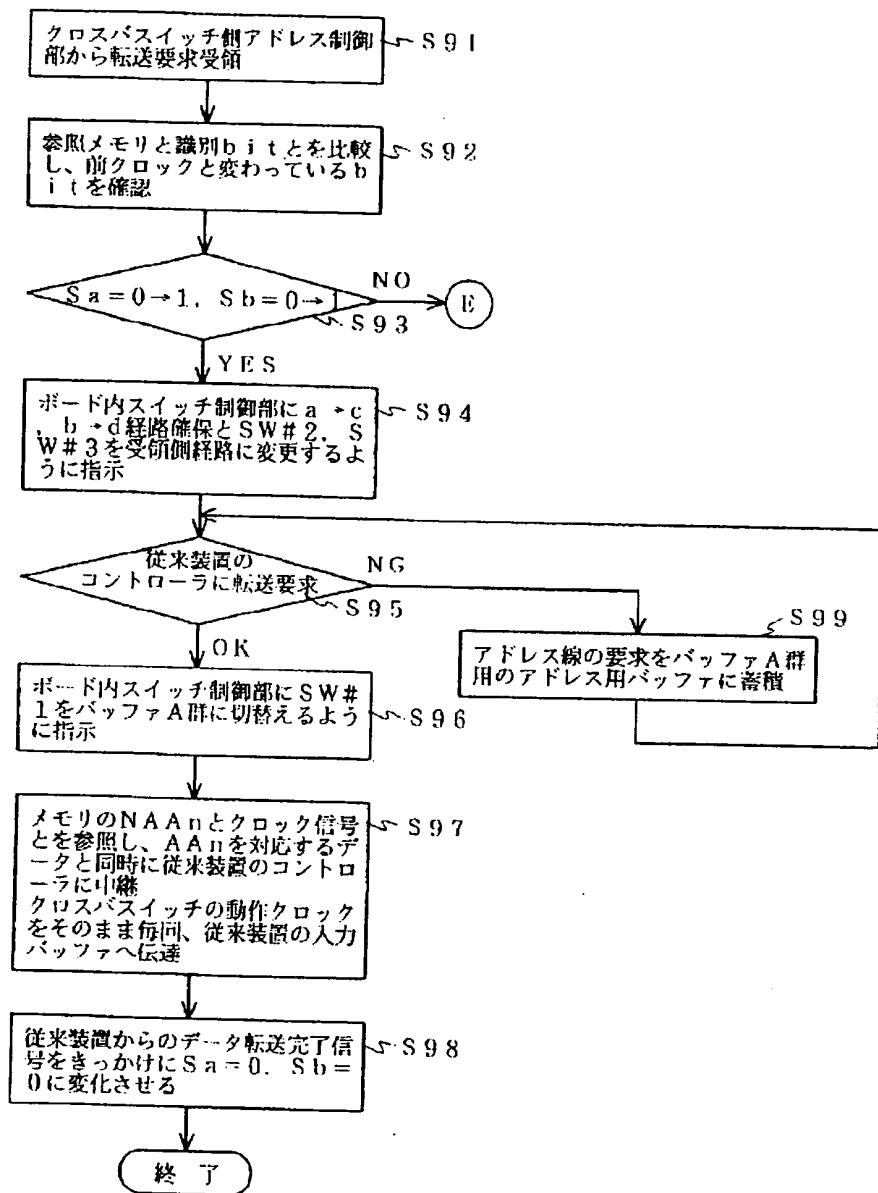
【図34】

	供給側			
	クロスバススイッチ側 アドレス制御部	ボード内 アドレス制御部	ボード内 スイッチ制御部	識別b/t
C5-1	一方のアドレス線の要求を検出			1, 1
C5-2	識別b/tをみて、 a, bが同じ中継であることを認識し、 接続不可信号を返答			1, 1
C5-3				
以降、従来装置のコントローラの再送要求にあわせる 従来装置における再送のきっかけを受信側が判断している場合は、 受信側の従来装置のコントローラまで要求を出すことで、 その方式のまま使用可能。				

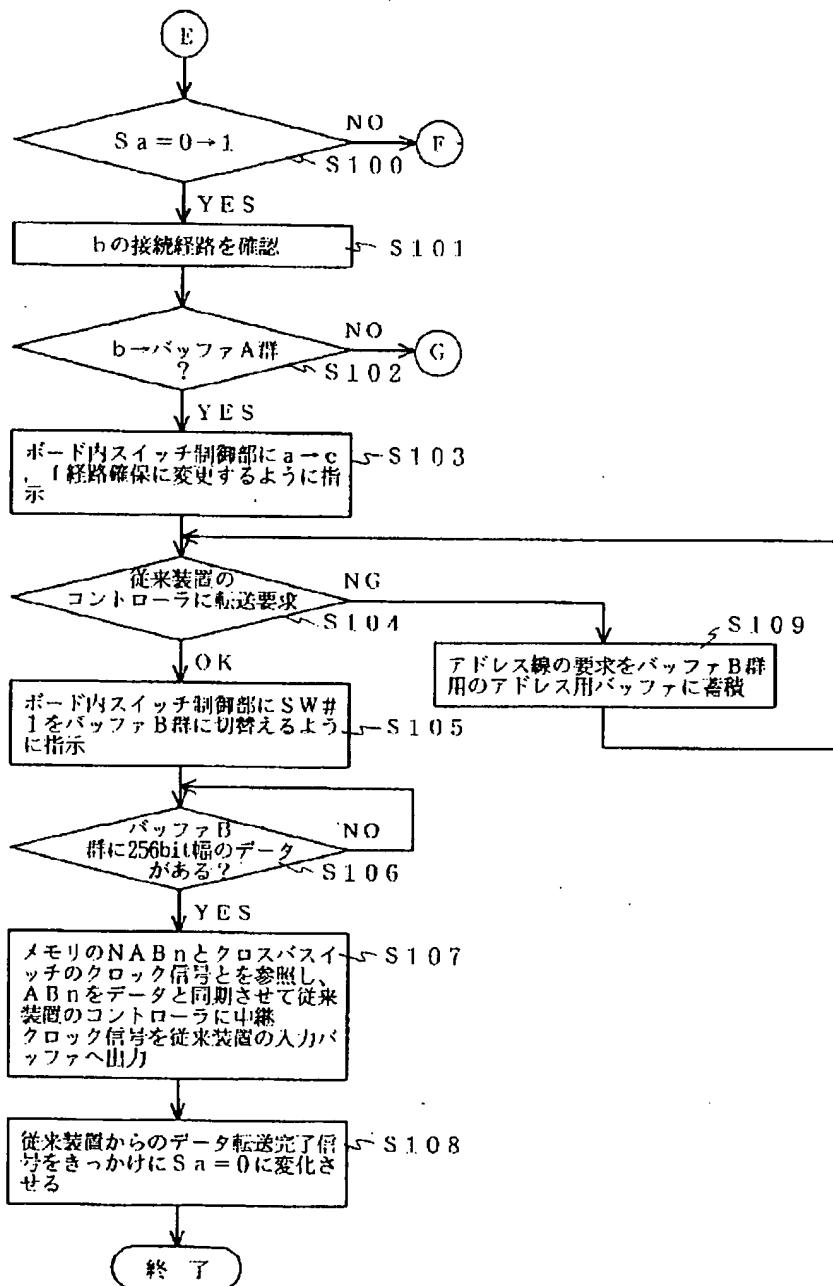
【図37】

	要求側			
	ボード内 アドレス制御部	ボード内 スイッチ制御部	クロスバススイッチ側 アドレス制御部	識別b/t
C7-1			いずれかのアドレス 線から要求送出	0→1, ? or ?, 0→1
C7-2			アドレス線から不可 を発見 ボードに不可と伝達	
以降、従来装置のコントローラの再送要求にあわせる 従来装置における再送のきっかけを受信側が判断している場合は、 受信側の従来装置のコントローラまで要求を出すことで、 その方式のまま使用可能。				

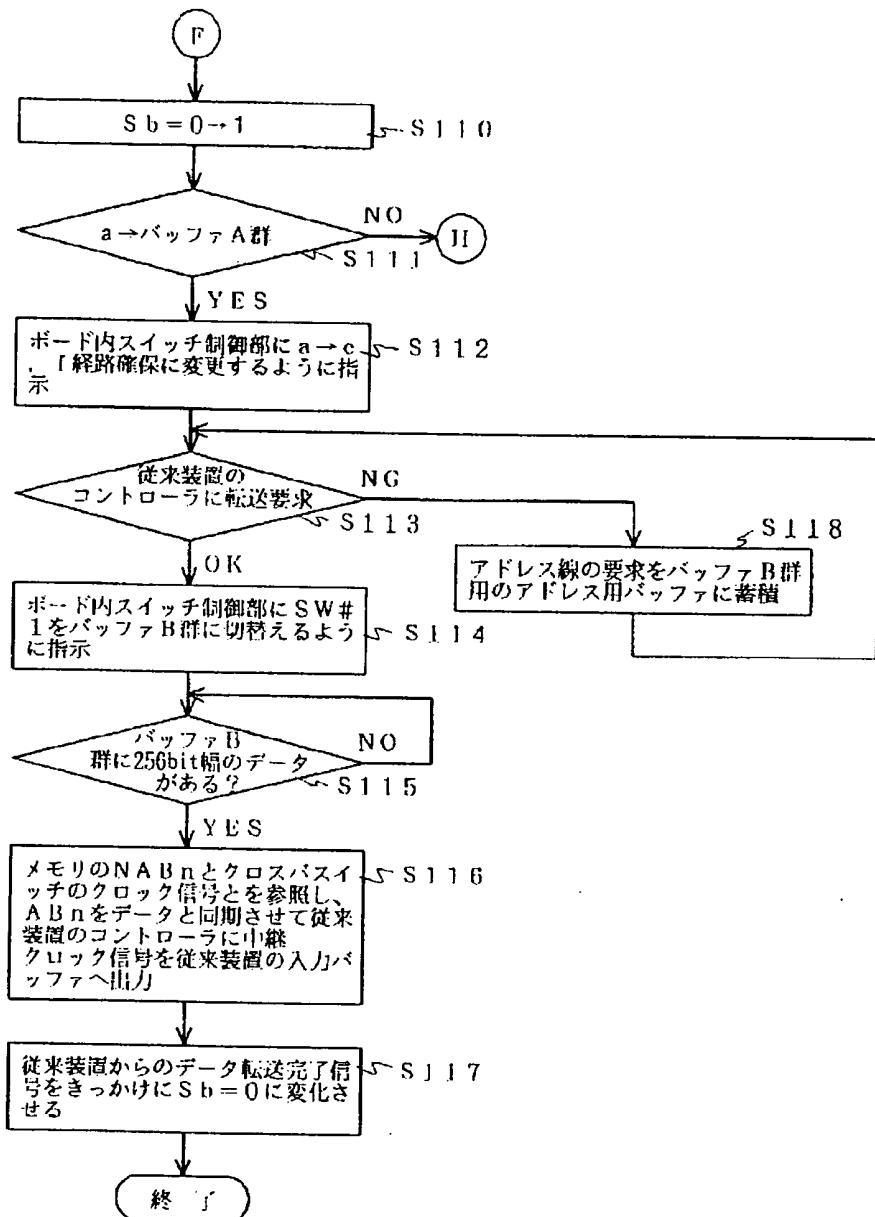
【図19】



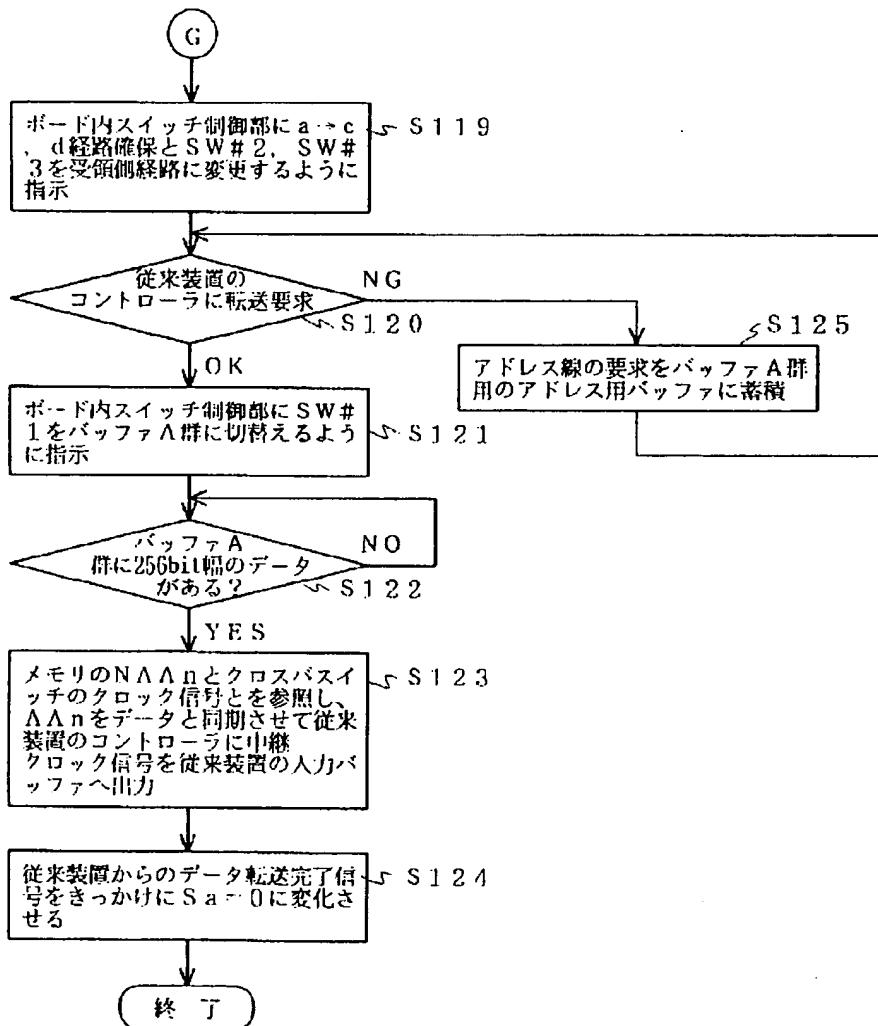
【図20】



【図21】



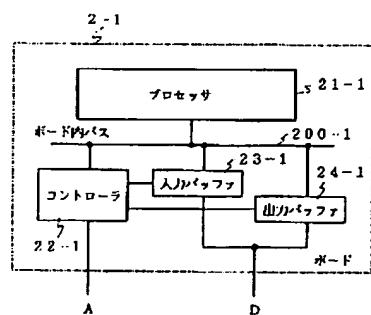
【图22】



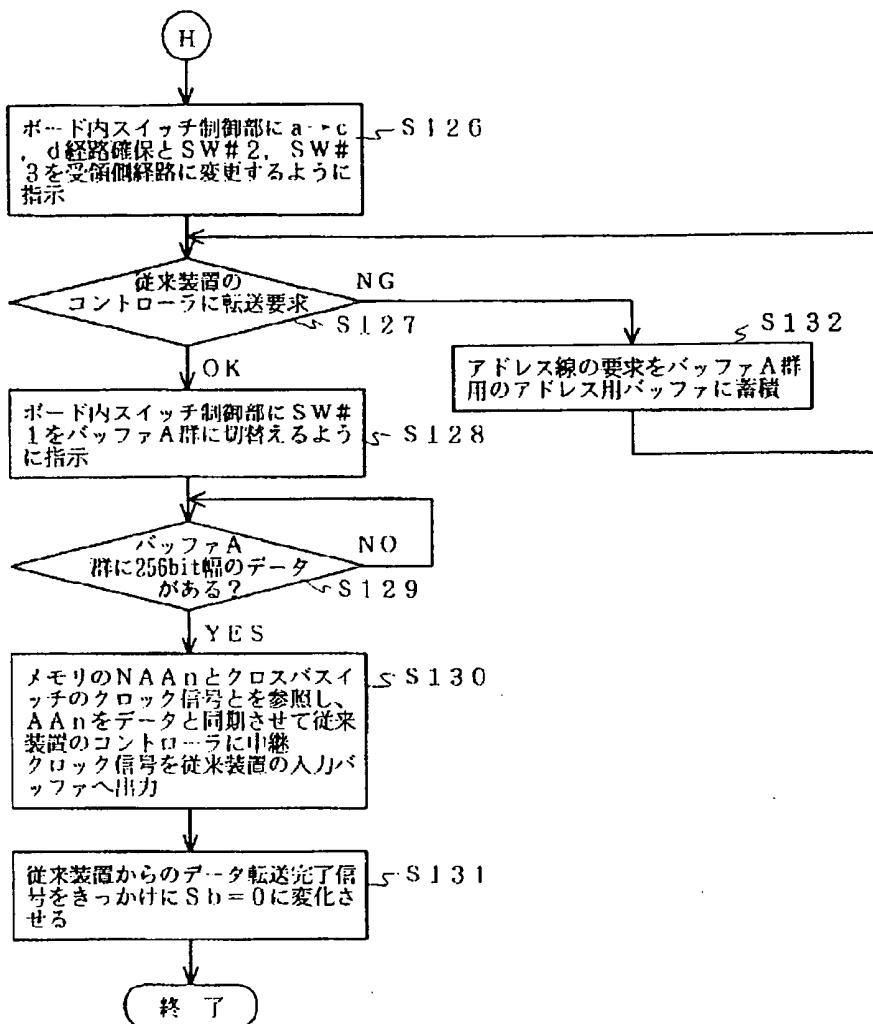
【图36】

〔図40〕

	供給側			
	クロスバススイッチ側 アドレス制御部	ポート内 アドレス制御部	ポート内 スイッチ制御部	識別モード
C6-1	アドレス線から要求 を検出	無し	無し	無し
C6-2	送り主のポートにあ るアドレス線へOK を返事	無し	無し	無し
以降、従来装置のコントローラへの信号とデータとをそのまま従来装置に 入力				



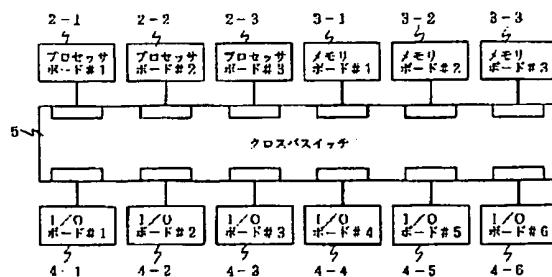
【図23】



【図38】

	供給側			
	クロスバスイッチ制御部	ボード内アドレス制御部	ボード内スイッチ制御部	箇別b11
C7-1	アドレス線から要求を検出	無し	無し	無し
C7-2	返り半のポートのあるアドレス制御へ不 <sub>可</sub> を返す	無し	無し	無し
以降、従来装置のコントローラの再送要求にまかせる 従来装置における再送のきっかけを受信側が出ししている場合は、 受信側の従来装置のコントローラまで要求を出すことで、 その方式のまま使用可能。				

【図39】



【図25】

	要求側			
	ボード内 アドレス制御部	ボード内 スイッチ制御部	クロスバスイッチ側 アドレス制御部	識別bit
C1-1	従来装置のコン トローラより 転送要求あり			0, 0
C1-2	識別bit 両方1へ 転送要求送出			0→1, 0→1
C1-3			識別bit(2万 1をみて、認信相手 の2つのアドレス線 に要求送出)	1, 1
C1-4				
C1-5			両方のアドレス線 からOKを確認 識別bit(2万 1を立てたまま ボードにOK伝達)	1, 1
C1-6	スイッチ制御部 へa→c, b→dの経路 設定を指示 SW#2, #3 を送出側へ			1, 1
C1-7		データ送出		1, 1
C1-8				
C1-9				
C1-10	送出完了後 識別bitを 0に			1→0, 1→0

【図26】

	供給側			
	クロスバスイッチ側 アドレス制御部	ボード内 アドレス制御部	ボード内 スイッチ制御部	識別bit
C1-1				0, 0
C1-2				0, 0
C1-3	2つのアドレス線の 要求を検出			0, 0
C1-4	識別bit(1)を みて、両方の アドレス線にOKを 返答 同時に識別bitを 立て、要求をボード に伝達	スイッチ制御部 へa→c, b→dの 経路設定を指示		0→1, 0→1
C1-5		従来装置の コントローラに 伝達		1, 1
C1-6				1, 1
C1-7			パッファ入群 データ受け取り	1, 1
C1-8		パッファ群から 従来装置の データ入力用が 取り込み中の データがないか 、または取り込 み終了を確認		
C1-9	SW#1をパッファ 入群へ	アドレスを従来 装置のコントロ ーラに送付		
C1-10		転送完了後 識別bitを 0に戻す		1→0, 1→0

【図29】

	要求側			
	ボード内 アドレス制御部	ボード内 スイッチ制御部	クロスバスイッチ側 アドレス制御部	識別bit
C1-1	従来装置のコン トローラより 転送要求あり			0, 0
C1-2	識別bit 両方1へ 転送要求送出			0→1, 0→1
C1-3			識別bit(2万 1をみて、認信相手 の2つのアドレス線 に要求送出)	1, 1
C3-1				
C3-2			不可の信号をボード 側にそのまま伝送 識別bitを0, 0 へ	1→0, 1→0
C3-3	従来装置のコン トローラに不可 信号をそのまま 伝達			0, 0

以降、従来装置のコントローラの再生要求にまかせる  
従来装置における再生のきっかけを受信側が判断している場合は、受信側の従来装置  
のコントローラまで要求することで、その方式のまま使用可能。

【図30】

	供給側			
	クロスバスイッチ側 アドレス制御部	ボード内 アドレス制御部	ボード内 スイッチ制御部	識別bit
C1-1				0, 0
C1-2				0, 0
C1-3	2つのアドレス線の 要求を検出			1, 1
C3-1	識別bit(1)を みて、 a, bが使用中であ ることを認識し、 初期復位不可信号を アドレス線に返答			1, 1
C3-2				1, 1
C3-3				1, 1

以降、従来装置のコントローラの再生要求にまかせる  
従来装置における再生のきっかけを受信側が判断している場合は、受信側の従来装置  
のコントローラまで要求することで、その方式のまま使用可能。

【図27】

	要求側			
	ボード内 アドレス切換部	ボード内 スイッチ制御部	クロスバッファ側 アドレス切換部	基準b1t
C1-1	従来装置のコン トローラより 転送要求あり			0, 0
C1-2	基準b1t (高方)へ 転送要求送出			0→1, 0→1
C1-3			基準b1tが4力 1をみて、従来制 御の2つのアドレス給 出を送出	1, 1
C2-1				1, 1
C2-2			4方のアドレス給 出OKを確認 OKがなかった方 の値をb1t(0)に にして ボードに転送OKを 伝達	1, 1→0 or 1→0, 1
C2-3	従来装置のコン トローラに転送 OKと応答 SW#2, #3 を送出側へ			1, ? or ?, 1
C2-4	スイッチ制御部 へ c→anrb, n→norb を表示 従来装置のCPU 側に転データを 2クロックにJ 要求			1, ? or ?, 1
C2-5		データ送出		1, ? or ?, 1
C1-8				
C1-9				
C1-10	送り完了後 基準b1tを 0に決す			I→0, J→0

【図28】

	供給側			
	クロスバッファ側 アドレス切換部	ボード内 アドレス切換部	ボード内 スイッチ制御部	基準b1t
C1-1				0, 0
C1-2				0, 0
C1-3	2つのアドレス給 出の要求を検出			1, 0 or 0, 1
C2-1	基準b1tをみて、 またはb1tが使用中 であることを確認し 、空いている制御 アドレス給出OKを 送り、それを確認 b1tを0にして要求 をボードに伝達			0→1, 0→1
C2-2				スイッチへ接続 したポートから 複数可操作パッ ファへの転送操作 を行なう
C2-3				
C2-4	従来装置のコン トローラに送 出SW#1, 2または SW#1, 2を スイッチし、 パッファ側の上 位b1t(1)に 既にデータを 送る既得を確保			1, 1 or 1, 1
C2-5			パッファ側から 従来装置の データ入力端が 取り込み中の データがないか 、または取り込 み終了を確認	
C1-8				
C1-9	SW#1をパッファ 側へ			
C1-10	転送完了後 基準b1tを 0に戻す			1→0, 1→0

【図32】

	供給側	ポート内 アドレス範囲選択	ポート内 スイッチ制御部	識別bit
C4-1	一方のアドレス範囲の 要求を既出			0, 7 or 7, 0
C4-2	識別bit1をみて、 少なくともa, b いずれかが1でいる ことを確認し、無い でいるいずれかの ポートのアドレス範 からOKを返すする 側の識別bit(そ1) にする			0→1, 7 or 7, 0→1
C2-2			スイッチへ選択 したポートから 既選択済のバッフ ア部へ既選択済 を出力	
C2-3				
C2-4		送來監視のコン トローラに伝送	クロック部に SW#11または SW#12を スイッチ バッファ部の上 位下位bit1に 順番にデータを 送る経路を確保	1, 1
C2-5		バッファAより B野データ受け 取り		
C1-8		バッファ部から 送來実際の データ入力端が 戻り込み口の データがないか、 または戻り込 み終了を確認		
C1-9	SW#1をバッファ A野へ	アドレスを使用 監視のコントロ ーラに送付		
C1-10		伝送完了後 識別bit1を Dに戻す		1→0, 1→0

【図35】

	要求側			
	ボード内 アドレス制御部	ボード内 スイッチ制御部	クロスバスイッチ側 アドレス制御部	識別bit
C6-1			いざれかのアドレス 線から要求送出	0→1, ? or ?, 0→1
C6-2			アドレス線からOK を確認 ボードにOK伝達	
C2-3	従来装置のコン トローラに転送 OKと伝達 SW#2, #3 を送出側へ			1, ? or ?, 1
C2-4	スイッチ制御部 へ c>a or b, d>a or b を指示 従来装置の出力 部に新データを 2クロックに1 回要求			1, ? or ?, 1
C2-5	データ送出			1, ? or ?, 1
C1-8				
C1-9				
C1-10	送出完了後 識別bitを 0に戻す			1→0, 1→0

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

This Page Blank (uspto)